



内置 12 位 ADC / 模拟比较器 / 运算放大器 / 电机专用 32 位 MCU

CA32F0323 系列 中文用户手册 REV1.0.0

深圳市锦锐科技股份有限公司

电话：0755-83949938

传真：0755-83949977

<http://www.cachip.com.cn>

地址：中国广东省深圳市南山区沙河西路深圳湾科技生态园一区 2 栋 B 座 5 层

重要声明： 本公司保留对以下所有产品在可靠性、功能和设计方面作进一步说明的权利，同时保留在未通知的情况下，对本产品所有文档做更改的权利。客户在使用此产品时，请向我公司销售人员索取最新文档。特此声明！

目 录

| | |
|------------------------------------|-----------|
| 版本修订说明 | 7 |
| 1 文中的缩写 | 8 |
| 1.1 寄存器描述表中使用的缩写列表 | 8 |
| 1.2 可用的外设 | 8 |
| 2 概述 | 9 |
| 3 基本特性 | 9 |
| 4 芯片型号功能介绍 | 13 |
| 5 引脚及其描述 | 14 |
| 5.1 封装定义 | 14 |
| 5.2 引脚描述 | 17 |
| 6 存储器和总线架构 | 20 |
| 6.1 系统架构 | 20 |
| 6.1.1 总线架构介绍 | 20 |
| 6.1.2 存储器组织 | 21 |
| 6.1.3 嵌入式 SRAM | 21 |
| 6.1.4 存储器映像 | 21 |
| 7 通用输入输出 (GPIO) | 22 |
| 7.1 概述 | 22 |
| 图7-1 I/O 端口的基本结构 | 22 |
| 7.2 功能描述 | 23 |
| 7.2.1 输入模式 | 23 |
| 7.2.2 输出模式 | 23 |
| 7.2.3 复用功能模式 | 24 |
| 7.2.4 模拟功能模式 | 24 |
| 7.3 复位后状态 | 25 |
| 7.4 外部中断/唤醒线 | 25 |
| 7.5 复用功能 | 25 |
| 7.6 软件 I/O 复用表 | 26 |
| 7.7 引脚寄存器描述 | 26 |
| 7.7.1 GPIO 配置寄存器 | 27 |
| 7.7.2 GPIOA 输出数据寄存器 (GPIOAO) | 27 |
| 7.7.3 GPIOA 输入数据寄存器 (GPIOAI) | 28 |
| 8 嵌入式闪存 (FLASH) | 29 |
| 8.1 闪存主要特性 | 29 |
| 8.2 闪存功能描述 | 29 |
| 8.2.1 闪存结构 | 29 |
| 8.3 FLASH 寄存器概览 | 29 |
| 8.3.1 FLS_AR | 29 |
| 8.3.2 FLS_SYSKEY | 30 |
| 8.3.3 FLS_SR | 30 |
| 8.3.4 FLS_CR | 30 |
| 9 中断和事件 | 32 |
| 9.1 嵌套向量中断寄存器 | 32 |
| 9.1.1 SysTick 校准值寄存器 | 32 |
| 9.1.2 中断和异常向量 | 32 |
| 9.2 外部中断/事件控制器 (EXTI) | 33 |
| 9.2.1 简介 | 33 |
| 9.2.2 主要特性 | 33 |
| 9.2.3 功能描述 | 34 |

| | | |
|-----------|------------------------------------|-----------|
| 9.2.4 | EXTI 线路映射 | 35 |
| 9.3 | 中断控制寄存器 | 35 |
| 9.3.1 | 中断屏蔽寄存器 (EXTI_IMR) | 36 |
| 9.3.2 | 事件屏蔽寄存器 (EXTI_EMR) | 36 |
| 9.3.4 | 下降沿触发选择寄存器 (EXTI_FTSR) | 37 |
| 9.3.5 | 软件中断事件寄存器 (EXTI_SWIER) | 37 |
| 9.3.6 | 挂起寄存器 (EXTI_PR) | 38 |
| 9.3.7 | 外部中断选择寄存器 (EXTI_CR) | 38 |
| 10 | 时钟和电源系统 | 40 |
| 10.1 | 时钟系统介绍 | 40 |
| 10.2 | 时钟控制寄存器 | 41 |
| 10.2.1 | 时钟控制寄存器 (RCC_CR) | 41 |
| 10.2.2 | APB1 外设复位寄存器 (RCC_APB1RSTR)..... | 43 |
| 10.2.3 | APB1 外设时钟使能寄存器 (RCC_APB1ENR) | 44 |
| 10.2.4 | 控制/状态寄存器 (RCC_CSR)..... | 45 |
| 11 | 高级定时器 (TIM1) | 47 |
| 11.1 | TIM1 简介 | 47 |
| 11.2 | TIM1 主要特性 | 47 |
| 11.3 | TIM1 功能描述 | 48 |
| 11.3.1 | 时基单元 | 48 |
| 11.3.2 | 计数器模式 | 50 |
| 11.3.3 | 重复计数器 | 51 |
| 11.3.4 | 时钟源 | 53 |
| 11.3.5 | 捕获/比较通道 | 53 |
| 11.3.6 | 输入捕获模式 | 55 |
| 11.3.7 | 输出比较模式 | 55 |
| 11.3.8 | PWM 模式 | 56 |
| 11.3.9 | 互补输出和死区插入 | 58 |
| 11.4 | 定时器 1 寄存器概览 | 60 |
| 12 | 基本定时器 (TIM6 和 TIM7) | 76 |
| 12.1 | 基本定时器与通用定时器简介 | 76 |
| 12.2 | 基本定时器主要特性 | 76 |
| 12.3 | 基础定时器描述 | 77 |
| 12.3.1 | 时基单元 | 77 |
| 12.3.2 | 计数模式 | 77 |
| 12.3.3 | 时钟选择 | 77 |
| 12.4 | TIM6/7 寄存器描述 | 78 |
| 12.4.1 | 寄存器概览 | 78 |
| 12.4.2 | 控制寄存器 1(TIMx_CR1) | 78 |
| 12.4.3 | DMA 中断使能寄存器(TIMx_DIER) | 79 |
| 12.4.4 | 状态寄存器(TIMx_SR) | 79 |
| 12.4.5 | 事件产生寄存器(TIMx_EGR) | 79 |
| 12.4.6 | 计数器(TIMx_CNT) | 80 |
| 12.4.7 | 预分频器(TIMx_PSC) | 80 |
| 12.4.8 | 自动重装载寄存器(TIMx_ARR) | 80 |
| 13 | 独立看门狗定时器 (IWDG) | 81 |
| 13.1 | 简介 | 81 |
| 13.2 | 主要特性 | 81 |
| 13.3 | 功能描述 | 81 |
| 13.3.1 | 寄存器访问保护 | 82 |
| 13.4 | 用户界面 | 82 |
| 13.4.1 | 操作流程 | 82 |

| | |
|---|------------|
| 13.5 IWDG 寄存器概览..... | 83 |
| 13.5.1 IWDG 密钥寄存器 (IWDG_KR) | 83 |
| 13.5.2 IWDG 预分频寄存器 (IWDG_PR) | 84 |
| 13.5.3 IWDG 重装载寄存器 (IWDG_RLR) | 84 |
| 13.5.4 IWDG 状态寄存器 (IWDG_SR) | 85 |
| 14 通用串行接口 (UART0/UART1) | 86 |
| 14.1 UART 寄存器概览..... | 86 |
| 14.2 状态寄存器 (UART_CR) | 86 |
| 14.3 波特率配置寄存器 (UART_REL) | 87 |
| 14.4 发送接收缓冲器 (UART_BUF) | 87 |
| 15 I²C 接口 | 88 |
| 15.1 简介..... | 88 |
| 15.2 I2C 寄存器描述..... | 88 |
| 15.2.1 I2C 寄存器概览..... | 88 |
| 15.2.2 控制寄存器 1 (I2C_CCR)..... | 88 |
| 15.2.3 控制寄存器 2 (I2C_DAT)..... | 89 |
| 15.2.4 I2C 地址寄存器 (I2C_ADR)..... | 89 |
| 15.2.5 I2C 状态寄存器 (I2C_FLG) | 90 |
| 16 PWM | 91 |
| 16.1 简介..... | 91 |
| 16.2 控制描述..... | 91 |
| 16.3 寄存器概览..... | 91 |
| 16.3.1 PWMxCON 配置寄存器(PWM0CON~PWM21CON)..... | 93 |
| 16.3.1 PWMxDUT 占空比配置寄存器(PWM0DUT~~PWM21DUT)..... | 93 |
| 16.3.1 PWMxDIV 周期配置寄存器(PWM0DIV~~PWM21DIV)..... | 94 |
| 16.3.1 PWMIF 标记寄存器..... | 94 |
| 17 RGB 级联..... | 95 |
| 17.1 功能简介..... | 95 |
| 17.2 功能描述..... | 95 |
| 17.3 控制寄存器..... | 96 |
| 17.3.1 PWM7CON 配置寄存器..... | 96 |
| 17.3.2 LEDAT..... | 96 |
| 17.3.3 LEDWTM..... | 97 |
| 17.3.4 LEDUT..... | 97 |
| 18 SPI 接口 | 98 |
| 18.1 SPI 简介..... | 98 |
| 18.2 SPI 主要特性..... | 98 |
| 18.3 SPI 寄存器描述..... | 99 |
| 18.3.1 SPI 寄存器概览..... | 99 |
| 18.3.2 SPI 控制寄存器(SPI_CR)..... | 99 |
| 18.3.3 SPI 数据寄存器 (SPI_DR) | 100 |
| 18.3.4 SPI 状态寄存器 (SPI_SR) | 100 |
| 19 TMC 定时器..... | 102 |
| 19.1 TMC 功能简介..... | 102 |
| 19.2 TMC 寄存器概览..... | 102 |
| 19.2.1 TMC 控制寄存器高位 (TMC_CR) | 102 |
| 19.2.2 TMC 控制寄存器低位 (TMC_MS) | 102 |
| 20 模/数字转换器 (ADC) | 103 |
| 20.1 功能简介..... | 103 |
| 20.2 主要特性..... | 103 |
| 20.3 结构框图..... | 103 |

| | |
|---|------------|
| 20.4 功能描述..... | 104 |
| 20.5 ADC 寄存器概览..... | 105 |
| 20.5.1 ADC 控制信号寄存器 (ADCFG) | 105 |
| 20.5.2 ADC 校准寄存器 (ADCCAL) | 106 |
| 20.5.3 ADC 比较模式阈值下限值设定寄存器 (ADCDPL) | 106 |
| 20.5.4 ADC 比较模式阈值上限值设定寄存器 (ADCDPH) | 106 |
| 20.5.5 ADC 转换值寄存器 (ADCDA) | 107 |
| 20.5.6 ADC 控制寄存器 (ADCTRL) | 107 |
| 20.5.7 扫描模式控制寄存器 (ADCSEQ) | 108 |
| 20.5.8 扫描通道选择寄存器 (ADCCHSEL) | 108 |
| 20.5.9 ADCDALAT0 | 108 |
| 20.5.10 ADCDALAT1 | 109 |
| 20.5.11 ADCDALAT2 | 109 |
| 20.5.12 ADCDALAT3 | 109 |
| 20.5.13 ADCDALAT4 | 109 |
| 20.5.13 ADCDALAT5 | 110 |
| 21 可编程运放(PGA)..... | 111 |
| 21.1 PGA 简介 | 111 |
| 21.2 PGA 主要特征 | 111 |
| 21.3 PGA 寄存器 | 111 |
| 21.3.1 PGA 配置寄存器 | 111 |
| 22 模拟比较器 (COMP) | 113 |
| 22.1 模拟比较器简介 | 113 |
| 22.2 比较器寄存器 | 113 |
| 22.2.1 COMPx 配置寄存器 (CMP_CRx) | 113 |
| 22.2.2 COMP 配置寄存器 (CMP_CR) | 114 |
| 23 运算放大器 (OP) | 115 |
| 23.1 OP 介绍 | 115 |
| 23.2 OP 主要特征 | 115 |
| 23.3 OP 寄存器 | 115 |
| 23.3.1 OP 配置寄存器 | 115 |
| 24 运算单元(HWDIV 和 HWSQRT)..... | 116 |
| 24.1 HWDIV 简介 | 116 |
| 24.3 HWDIV 寄存器 | 116 |
| 24.3.1 HWDIV 配置寄存器(HWDIV_CR)..... | 116 |
| 24.3.2 HWDIV 被除数/商寄存器(HWDIV_QUOT)..... | 117 |
| 24.3.3 HWDIV 除数/余数寄存器(HWDIV_REMD)..... | 117 |
| 24.3.4 HWSQRT 开平方输入数据寄存器(HWSQRT_IN)..... | 117 |
| 24.3.5 HWSQRT 开平方输出结果寄存器(HWSQRT_OUT)..... | 118 |
| 25 LVD 可编程电压监测器..... | 119 |
| 25.1 LVD 简介 | 119 |
| 25.2 LVD 寄存器 | 119 |
| 25.3 LVD 控制寄存器(LVD_CR)..... | 119 |
| 26 程序下载和仿真介绍..... | 120 |
| 26.1 程序下载 | 120 |
| 26.2 在线仿真 | 120 |
| 26.3 调试模式 | 120 |
| 27 电气特性..... | 121 |
| 27.1 极限参数 | 121 |
| 27.2 直流电气特性 | 121 |
| 27.3 ESD/EFT 特性 | 122 |
| 27.4 内部 RC 时钟温度特性 | 127 |

| | |
|----------------------|------------|
| 28 封装类型 | 128 |
| 封装形式: SSOP24 | 128 |
| 封装形式: QFN24 | 129 |
| 封装形式: TSSOP20 | 130 |
| 封装形式: QFN20 | 131 |

版本修订说明

| 版本号 | 日期 | 修订内容 |
|--------|------------|------|
| v1.0.0 | 2025.07.01 | 初始版本 |

1 文中的缩写

1.1 寄存器描述表中使用的缩写列表

在对寄存器的描述中使用了下列缩写：

| 缩写 | 对应的英文 | 缩写含义 |
|-------|-------------------------|---|
| rw | read/write | 软件能读写此位。 |
| r | read-only | 软件只能读此位。 |
| w | write-only | 软件只能写此位，读此位将返回复位值。 |
| rc_w1 | read/clear | 软件可读该位，可通过对该位写 1 时清除该位。对该位写 0 时，该位值无变化。 |
| rc_w0 | read/clear | 软件可读该位，可通过对该位写 0 时清除该位。对该位写 1 时，该位值无变化。 |
| rc_r | read/clear by read | 软件可读该位，读后该位自动清为 0。对该位写 0 时，该位值无变化。 |
| rs | read/set | 软件可以读也可以设置此位，写 0 对此位无影响。 |
| rt_w | read-only write trigger | 软件可以读此位；对该位写 0 或 1 触发一个事件但对此位数值没有影响。 |
| t | toggle | 软件只能对该位写 1 来翻转此该位，写 0 对该位无影响。 |
| res | reserved | 保留位，必须保持默认值不变。 |

1.2 可用的外设

有关 CA32F0323 系列全部型号可用的外设及外设数量，请查阅相应型号的用户手册。

2 概述

CA32F0323 系列芯片采用高性能的 ARM Cortex® - M0 32 位内核，工作主频为 48Mhz，拥有 32K 字节的 FLASH 和 4K 字节的 SRAM。芯片内置 1 个高级定时器、2 个基本定时器、2 个模拟比较器、2 个独立运算放大器、1 个独立的可编程运放 PGA、硬件除法器（HWDIV）和硬件开方运算器（HWSQRT）。此外，它还集成了 22 路 12 Bit 高速 ADC、22 路独立 PWM、1 路 I2C、2 路 UART、2 路 SPI 以及低电压检测（LVD）等功能模块。其工作温度范围为 -40℃ 至 +105℃，宽电压工作范围是 2.0V 至 5.5V，支持 Stop 和低速运行两种省电模式，以适应不同功耗要求的应用场景。该芯片强大的功能以及优越的抗干扰性能，使其能够广泛应用于电动工具和消费类电子领域。

3 基本特性

◆ 内核

- CPU: ARM Cortex® - M0 的 32 位内核
- 主频 48Mhz 频率

◆ 存储器

- FLASH: 32KB
- SRAM: 4KB

◆ 工作电压

- 工作电压: 2.0 - 5.5V

◆ 工作温度

- 工作温度: -40℃ - +105℃

◆ 时钟系统

- 外部低速振荡器: 32.768KHz
- 内置低速 RC 振荡器: 128KHz, 精度为±3%@5V/25℃ (出厂校正)
- 内置高速 RC 振荡器: 16MHz, 精度为±1%@5V/25℃ (出厂校正)
- 内置 PLL 锁相环

◆ 定时器 (TIMER)

- 1 个 16 位 8 通道高级定时器
- 支持 8 通道 4 组互补型 PWM 应用, 带死区时间发生器
- 每个 IO 均可配置为高级定时器通道输出比较/输入捕获
- 2 个 16 位基本定时器和 SysTick 定时器
- 独立看门狗定时器

◆ PWM

- 最多可支持 22 通道独立 PWM 输出, 可在 16 位范围内随意配置周期和占空比
- 支持 PWM 中断

◆ RGB 级联

- 支持 1 路级联 LED 驱动，可直接控制 WS2812 或类似的驱动芯片，符合单色或七彩 LED 灯带产品的需求，也可以做通用 PWM 使用

◆ 内置 TMC 定时器

- 时钟源可选 LSI 或 LSE，中断时间最小单位为 128 个低速 RC 振荡器时钟周期
- 可配置中断时间为 1-256 个最小单位时间
- 选择外部低速时钟（32.768KHz）作为时钟源，可实现精准计时，如万年历计时应用

◆ 中断系统

- 支持嵌套中断向量，可软件配置 4 级优先级
- 支持 GPIO、ADC、UART0、UART1、定时器、IWDG、I2C、SPI、PWM 和 SysTick、LVD 作为中断源
- 所有 GPIO 都支持外部中断唤醒功能。支持上升沿、下降沿、双沿中断
- 所有 GPIO 都支持配置为高级定时器通道输出比较/输入捕获

◆ 输入输出管脚（GPIO）

- 最多支持 22 个 GPIO 口，支持推挽、开漏、上拉、下拉、高阻模式
- 内置上拉电阻 30K，下拉电阻 30K。
- 推电流支持：3mA、8mA、12mA、16mA 四级可设置（vdd=5v，Voh=0.9vdd）
- 灌电流支持：4mA、10mA、18mA、24mA 四级可设置（vdd=5v，Vol=0.1vdd）

◆ 模/数转换器（ADC）

- 12 位高速 ADC，最多可提供 22 个输入通道及 1 个内部通道
- 支持 ADC 中断
- 支持单次或循环扫描模式
- 支持多通道单次或连续采样，最多可同时 6 个通道采样
- 多通道连续采样支持比较功能，支持高级定时器刹车
- 支持比较器、运放、高级定时器、外部中断 15 触发 ADC
- 支持 3 种基准电压源：VDD、内部基准、外部基准
- 选择内部 ADC 通道采用内部参考电压时，可测量 1/4VDD 电压

◆ 模拟比较器（COMP）

- 支持 2 个独立的模拟比较器
- 支持基准电压可选 1.5V 或 VDD，16 级电压阈值设置
- 支持短路保护功能
- 支持中断和迟滞功能
- 模拟比较器内接 ADC
- 支持比较输出触发 EPWM 刹车
- 支持失调电压软件修调
- 支持独立中断功能

◆ 可编程运放 (PGA)

- 1 个独立的可编程运放(PGA)
- 多级增益可选 (1/2/4/8/16/32/64/128)
- 支持单端/伪差分输入
- 支持 PGA 输出测试
- 轨至轨输入输出电压范围
- PGA 输出可接内部模拟比较器输入进行整形
- PGA 输出内部可接至 ADC 内部通道 ADC_22 进行测量
- 支持失调电压软件修调

◆ 运放放大器 (OP)

- 2 个独立运算放大器, 每个运放三端均和 GPIO 端口复用
- 轨至轨输入输出电压范围
- 低输入偏置电流, 低输入偏置电压
- 正端支持内部 1.5V 输入
- 运放输出可接内部 ADC 通道和比较器
- 运放输出可接内部模拟比较器输入
- 支持失调电压软件修调

◆ 运算单元 (HWDIV 和 HWSQRT)

- 32 位硬件除法器 (HWDIV)、32 位硬件开方计算器 (HWSQRT) 可执行无符号 32 位整数的除法运算或者开方计算
- 8 个时钟周期完成一次无符号整数除法运算
- 32 位被除数, 32 位除数, 输出 32 位商和 32 位余数
- 32 位无符号被开方整数, 16 位无符号开方根输出
- 除数为零警告标志位, 除法运算结束标志位

◆ SPI 接口

- 内置 2 路独立 SPI 接口, 支持主从模式, 最高支持 24M 速率
- 输入、输出各有 1 个 16x8 FIFO

◆ 串口 (UART)

- 支持 2 个 UART 接口

◆ I2C 接口

- 内置 1 路 I2C 接口, 支持主从模式, 支持标准/快速模式

◆ 低电压检测 (LVD)

- 可配置检测电压 2.0V/ 2.2V/ 2.5V/ 2.7V/ 3.0V/ 3.3V/ 3.7V/ 4.2V
- 可设置低电压中断

◆ 低功耗模式

- 支持 STOP 模式, 电流<10uA
- 支持 SLEEP 模式, 电流<100uA

- ◆ 串行两线仿真调试下载
 - 支持两线下载（PA6 - SWD，PA19 - TCK）
 - 支持仿真功能
- ◆ 封装形式：**SSOP24/TSSOP20/QFN24/QFN20**

4 芯片型号功能介绍

表 4-1 CA32F0323 系列具体型号功能特点

| 芯片型号 | Flash[BYTE] | SRam[BYTE] | 内部高速 RC 振荡器 | 内部低速 RC 振荡器 | 外部振荡器[32.768KHz] | GPIO 数量 | 定时器数量 | UART 数量 | PC (路) | SPI (路) | 定时器互补 PWM (组) | 独立 PWM 通道数 | 12 位 ADC 通道数量 | 模拟比较器数量 | 可编程 PGA 数量 | 运算放大器数量 | 片上仿真下载功能 | 工作电压[V] | 封装形式 |
|-------------|-------------|------------|-------------|-------------|------------------|---------|-------|---------|--------|---------|---------------|------------|---------------|---------|------------|---------|----------|---------|---------|
| CA32F0323P5 | 32K | 4K | √ | √ | √ | 22 | 3 | 2 | 1 | 2 | 4 | 22 | 22 | 2 | 1 | 2 | √ | 2.0-5.5 | SSOP24 |
| CA32F0323T3 | 32K | 4K | √ | √ | √ | 18 | 3 | 2 | 1 | 2 | 4 | 18 | 18 | 2 | 1 | 2 | √ | 2.0-5.5 | TSSOP20 |
| CA32F0323N3 | 32K | 4K | √ | √ | √ | 22 | 3 | 2 | 1 | 2 | 4 | 22 | 22 | 2 | 1 | 2 | √ | 2.0-5.5 | QFN24 |
| CA32F0323N2 | 32K | 4K | √ | √ | √ | 18 | 3 | 2 | 1 | 2 | 4 | 18 | 18 | 2 | 1 | 2 | √ | 2.0-5.5 | QFN20 |

5 引脚及其描述

5.1 封装定义

备注：以下型号，下载仿真管脚均为：PA6(SWD) / PA19(TCK)

型号：CA32F0323P5

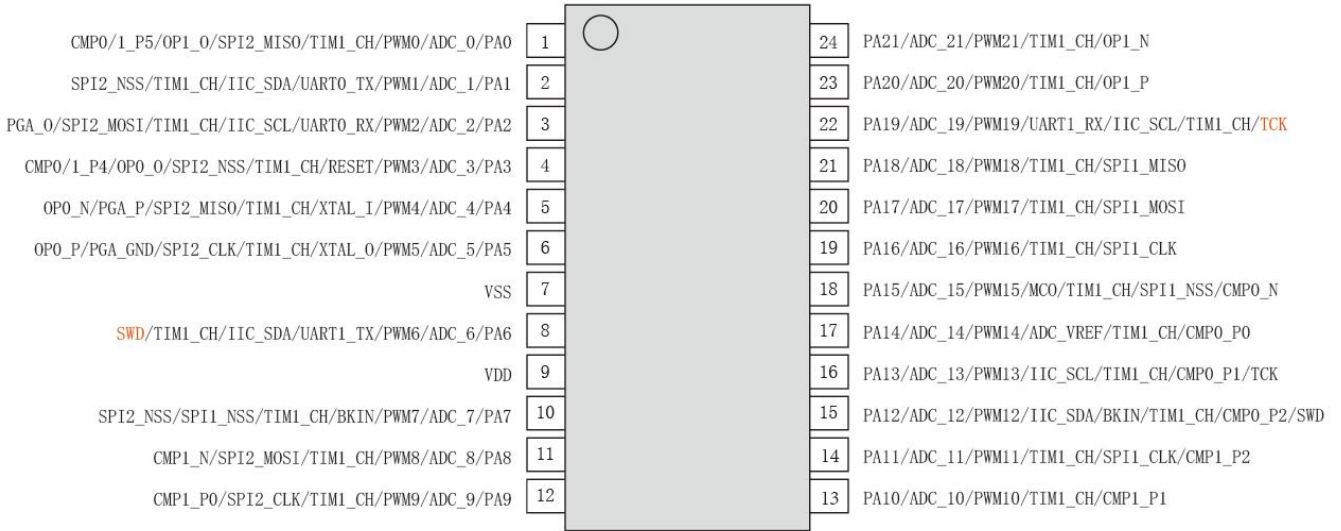


图 5-1 SSOP24 封装引脚图

型号：CA32F0323T3

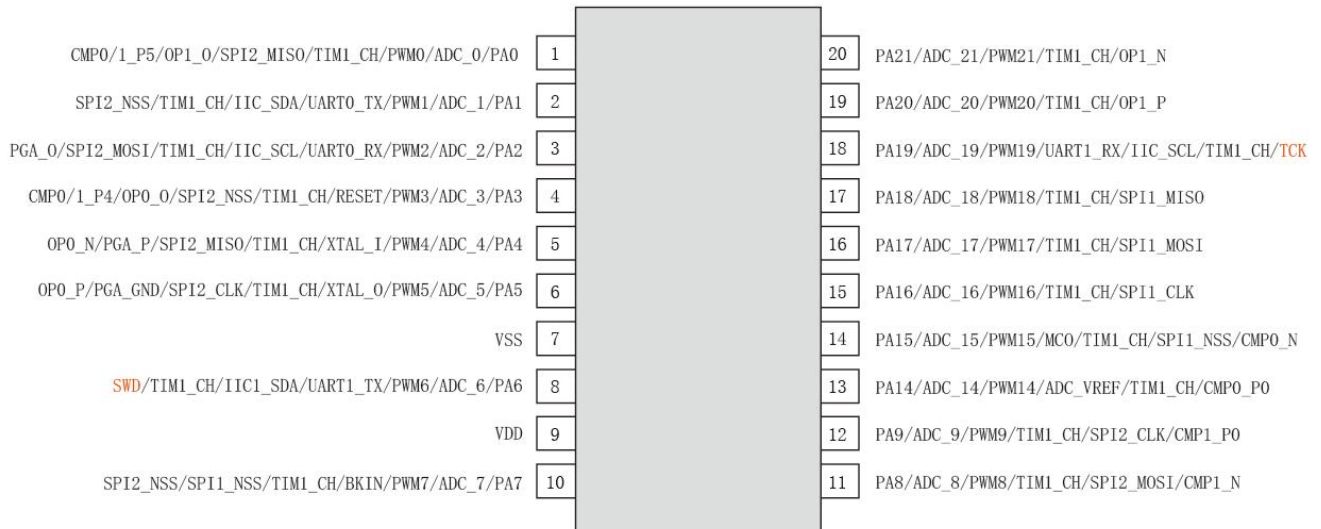


图 5-2 TSSOP20 封装引脚图

型号: CA32F0323N3

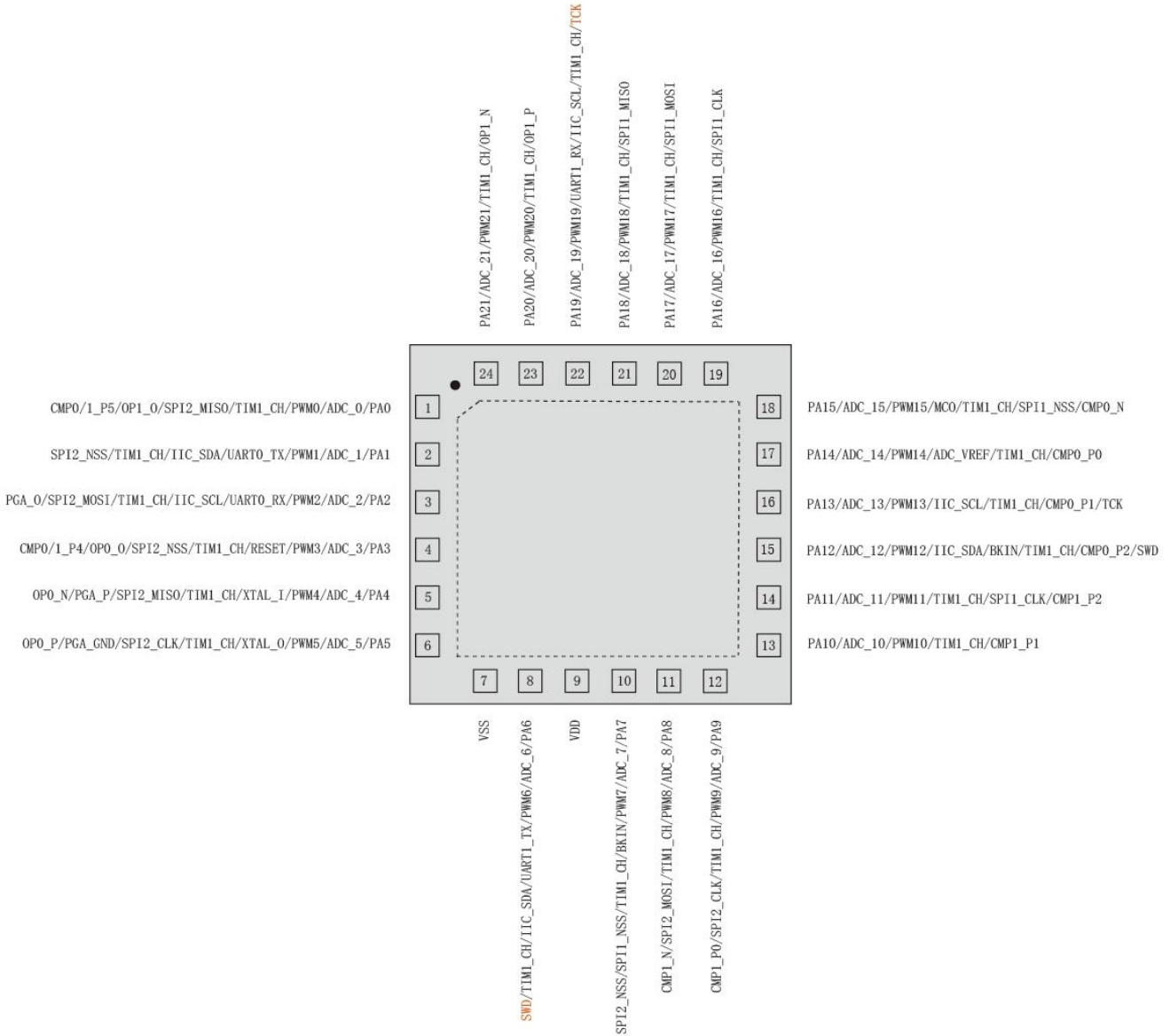


图 5-3 QFN24 封装引脚图

型号: CA32F0323N2

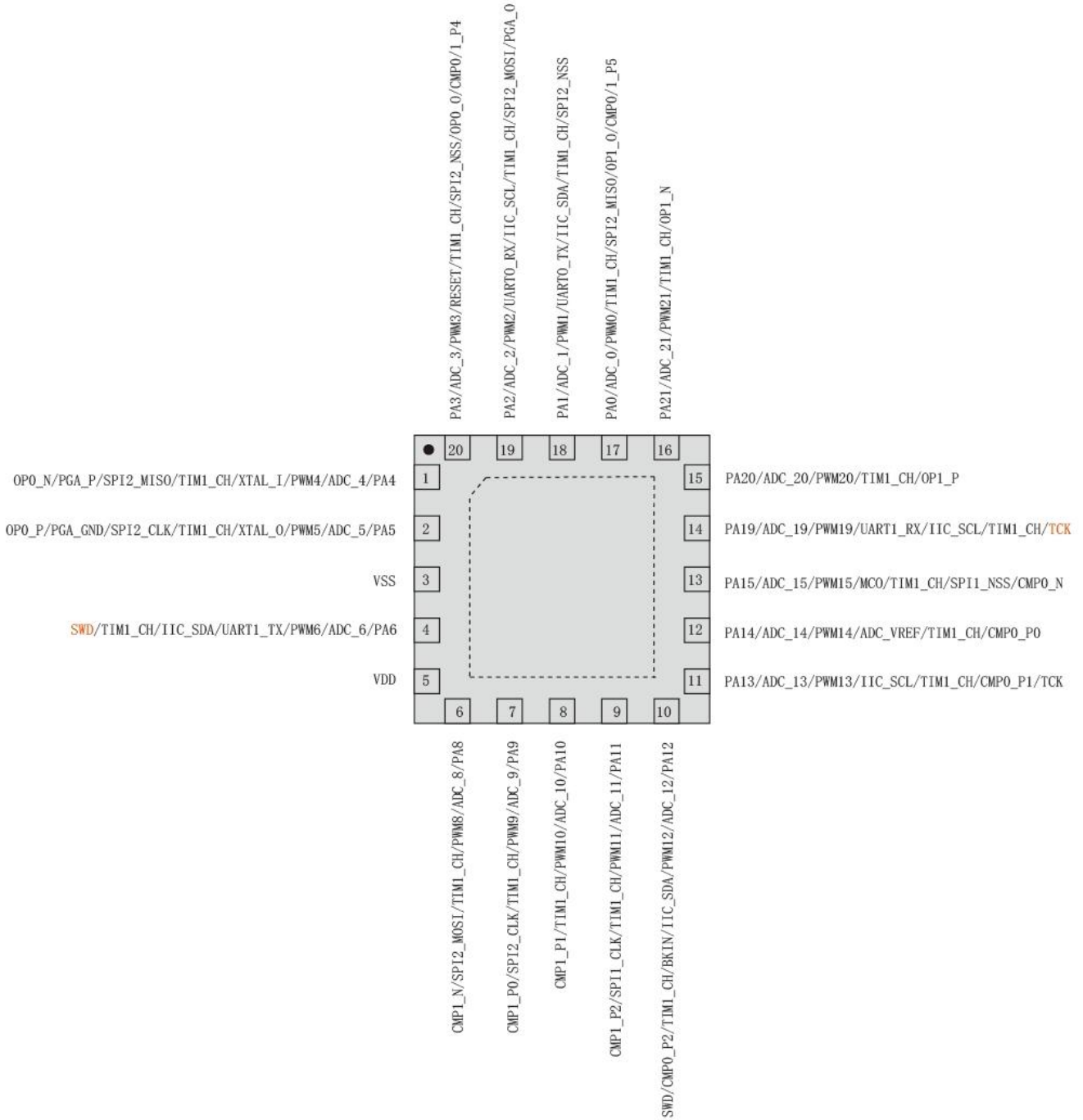


图 5-4 QFN20 封装引脚图

5.2 引脚描述

表 5-1 引脚描述

| 管脚编号 | | | | 管脚功能 | 默认功能 | |
|--------|---------|-------|-------|---|---|----|
| SSOP24 | TSSOP20 | QFN24 | QFN20 | | | |
| 1 | 1 | 1 | 17 | PA0/CMP0/1_P5/OP1_O/SPI2_MISO /TIM1_CH/PWM0/ADC_0 | 通用双向 I/O 端口 比较器 0/1 P5 端口 运放 1 输出端口 SPI2 MISO 端口 TIM1 CH 端口 PWM0 端口 ADC 0 通道端口 | 高阻 |
| 2 | 2 | 2 | 18 | PA1/SPI2_NSS/TIM1_CH/IIC_SDA /UART0_TX/PWM1/ADC_1 | 通用双向 I/O 端口 SPI2 NSS 端口 TIM1 CH 端口 IIC_SDA 端口 UART0 TX 端口 PWM1 端口 ADC 1 通道端口 | 高阻 |
| 3 | 3 | 3 | 19 | PA2/PGA_O/SPI2 MOSI/TIM1_CH /IIC_SCL/UART0_RX/PWM2/ADC_2 | 通用双向 I/O 端口 PGA O 输出端口 SPI2 MOSI 端口 TIM1 CH 端口 IIC_SCL 时钟端口 UART0 RX 端口 PWM2 端口 ADC 2 通道端口 | 高阻 |
| 4 | 4 | 4 | 20 | PA3/CMP0/1_P4/OP0_O/SPI2_NSS /TIM1_CH/RESET/PWM3/ADC_3 | 通用双向 I/O 端口 CMP0/1 P4 端口 OP0 O 输出端口 SPI2 NSS 端口 TIM1 CH 端口 RESET 端口 PWM3 端口 ADC 3 通道端口 | 高阻 |
| 5 | 5 | 5 | 1 | PA4/OP0_N/PGA_P/SPI2_MISO /TIM1_CH/XTAL_I/PWM4/ADC_4 | 通用双向 I/O 端口 OP0 N 端口 PGA P 端口 SPI2 MISO 端口 TIM1 CH 端口 XTAL I 端口 PWM4 端口 ADC 4 通道端口 | 高阻 |
| 6 | 6 | 6 | 2 | PA5/OP0_P/PGA_GND/SPI2_CLK/TIM1_CH /XTAL_O/PWM5/ADC_5 | 通用双向 I/O 端口 OP0 N 端口 PGA GND 端口 SPI2 CLK 端口 TIM1 CH 端口 XTAL O 端口 PWM5 端口 ADC 5 通道端口 | 高阻 |

| | | | | | | |
|----|----|----|----|--|---|------|
| 7 | 7 | 7 | 3 | VSS | | 芯片地 |
| 8 | 8 | 8 | 4 | PA6/TIM1_CH/IIC_SDA /UART1_TX/PWM6/ADC_6/SWD | 通用双向 I/O 端口 TIM1 CH 端口 IIC SDA 端口 UART1 RX 端口 PWM6 端口 ADC 6 通道端口 SWD 端口 | SWD |
| 9 | 9 | 9 | 5 | VDD | | 芯片电源 |
| 10 | 10 | 10 | - | PA7/SPI2_NSS/SPI1_SS /TIM1_CH/BKIN/PWM7/ADC_7 | 通用双向 I/O 端口 SPI2 NSS 端口 SPI1 NSS 端口 TIM1 CH 端口 BKIN 端口 PWM7 端口 ADC 7 通道端口 | 高阻 |
| 11 | 11 | 11 | 6 | PA8/CMP1_N/SPI2_MOSI /TIM1_CH/PWM8/ADC_8 | 通用双向 I/O 端口 CMP1 N 端口 SPI2 MOSI 端口 TIM1 CH 端口 PWM8 端口 ADC 8 通道端口 | 高阻 |
| 12 | 12 | 12 | 7 | PA9/CMP1_P0/SPI2_CLK /TIM1_CH/PWM9/ADC_9 | 通用双向 I/O 端口 CMP1 P0 端口 SPI2 CLK 端口 TIM1 CH 端口 PWM9 端口 ADC 9 通道端口 | 高阻 |
| 13 | - | 13 | 8 | PA10/CMP1_P1/TIM1_CH /PWM10/ADC_10 | 通用双向 I/O 端口 CMP1 P1 端口 TIM1 CH 端口 PWM10 端口 ADC 10 通道端口 | 高阻 |
| 14 | - | 14 | 9 | PA11/CMP1_P2/SPI1_CLK/TIM1_CH /PWM11/ADC_11 | 通用双向 I/O 端口 CMP1 P2 端口 SPI1 CLK 端口 TIM1 CH 端口 PWM11 端口 ADC 11 通道端口 | 高阻 |
| 15 | - | 15 | 10 | PA12/CMP0_P2/TIM1_CH/IIC_SDA /BKIN/PWM12/ADC_12/SWD | 通用双向 I/O 端口 CMP0 P2 端口 TIM1 CH 端口 IIC SDA 端口 BKIN 端口 PWM12 端口 ADC 12 通道端口 SWD 端口 | 高阻 |
| 16 | - | 16 | 11 | PA13/CMP0_P1/TIM1_CH /IIC_SCL/PWM13/ADC_13/TCK | 通用双向 I/O 端口 CMP0 P1 端口 TIM1 CH 端口 IIC_SCL 端口 PWM13 端口 | 高阻 |

| | | | | | | |
|----|----|----|----|--|---|-----|
| | | | | | ADC 13 通道端口 TCK 端口 | |
| 17 | 13 | 17 | 12 | PA14/CMP0_P0/TIM1_CH /ADC_VREF/PWM14/ADC14 | 通用双向 I/O 端口 CMP0 P0 端口 TIM1 CH 端口 ADC VREF 端口 PWM14 端口 ADC 14 通道端口 | 高阻 |
| 18 | 14 | 18 | 13 | PA15/CMP0_N/SPI1_NSS/TIM1_CH /MCO/PWM15/ADC_15 | 通用双向 I/O 端口 CMP0 N 端口 SPI1 NSS 端口 TIM1 CH 端口 MCO 端口 PWM15 端口 ADC 15 通道端口 | 高阻 |
| 19 | 15 | 19 | - | PA16/SPI1_CLK/TIM1_CH /PWM16/ADC16 | 通用双向 I/O 端口 SPI1 CLK 端口 TIM1 CH 端口 PWM16 端口 ADC 16 通道端口 | 高阻 |
| 20 | 16 | 20 | - | PA17/SPI1_MOSI/TIM1_CH /PWM17/ADC_17 | 通用双向 I/O 端口 SPI1 MOSI 端口 TIM1 CH 端口 PWM17 端口 ADC 17 通道端口 | 高阻 |
| 21 | 17 | 21 | - | PA18/SPI1_MISO/TIM1_CH /PWM18/ADC_18 | 通用双向 I/O 端口 SPI1 MISO 端口 TIM1 CH 端口 PWM18 端口 ADC 18 通道端口 | 高阻 |
| 22 | 18 | 22 | 14 | PA19/TIM1_CH/UART1_RX/IIC_SCL /PWM19/ADC_19/TCK | 通用双向 I/O 端口 TIM1 CH 端口 UART1 RX 端口 IIC SCL 端口 PWM19 端口 ADC 19 通道端口 TCK 端口 | TCK |
| 23 | 19 | 23 | 15 | PA20/OP1_P/TIM1_CH /PWM20/ADC_20 | 通用双向 I/O 端口 OP1 P 端口 TIM1 CH 端口 UART1 RX 端口 PWM20 端口 ADC 20 通道端口 | 高阻 |
| 24 | 20 | 24 | 16 | PA21/OP1_N/TIM1_CH /PWM21/ADC_21 | 通用双向 I/O 端口 OP1 N 端口 TIM1 CH 端口 PWM21 端口 ADC 21 通道端口 | 高阻 |

6 存储器和总线架构

6.1 系统架构

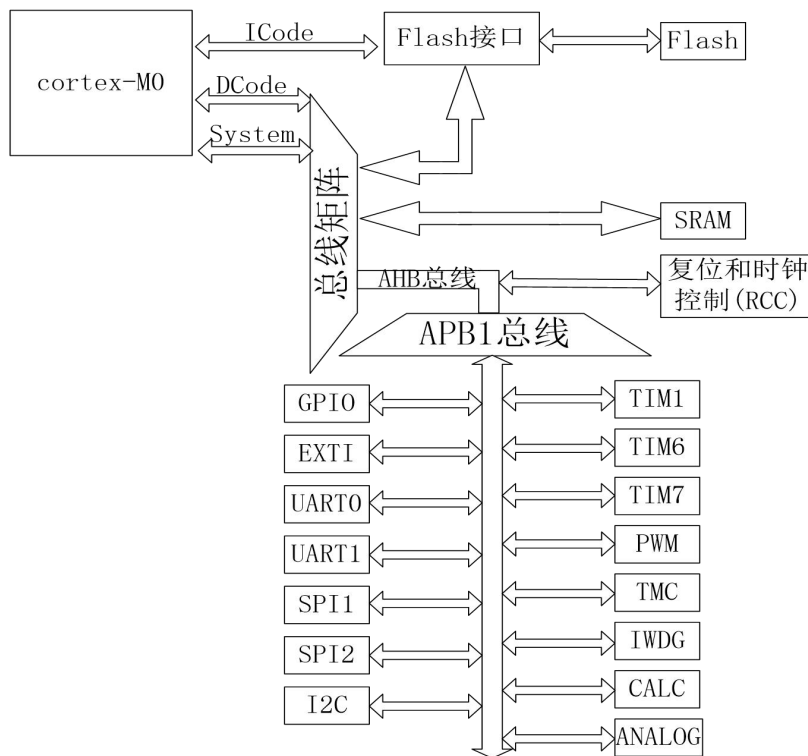
6.1.1 总线架构介绍

主系统由以下部分构成：

- 一个主驱动单元
 - ◆ Cortex®-M0 内核系统总线
- 四个被动单元
 - ◆ 内部 3 个 SRAM
 - ◆ 内部启动程序存储器 ROM
 - ◆ AHB 到 AHB 的桥，它连接一些 AHB 设备
 - ◆ AHB 到 APB 的桥（AHB2APB1），它连接所有的 APB 设备

这些都是通过一个多级的 AHB 总线构架相互连接。如图 6-1 所示

图 6-1 总线框图



- CPU 系统总线：连接 Cortex®-M0 内核的总线到总线矩阵，用来指令预取，数据加载（常量加载和调试访问）及 AHB/APB 外设访问。

6.1.2 存储器组织

程序存储器、数据存储器、寄存器和输入输出端口被组织在同一个线性地址空间内。数据字节以小端格式存放在存储器中。一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。

6.1.3 嵌入式 SRAM

CA32F0323 内置 4K 字节的静态 SRAM。它以全字(32 位)访问。SRAM 的起始地址是 0x2000 0000。

6.1.4 存储器映像

请参考相应器件的数据手册中的存储器映像图。CA32F0323 中内置外设的起始地址。

表 6-1 内置外设起始地址列表

| 起始地址 | 外设 |
|---------------------------|----------|
| 0x0000 0000 – 0x0000 7FFF | FLASH |
| 0x2000 0000 – 0x2000 0FFF | SRAM |
| 0x4000 0000 – 0x4000 03FF | FLS_CTRL |
| 0x4000 0400 – 0x4000 07FF | TMC |
| 0x4000 0800 – 0x4000 0BFF | IWDG |
| 0x4000 0C00 – 0x4000 0FFF | CALC |
| 0x4000 1000 – 0x4000 13FF | RCC |
| 0x4000 1400 – 0x4000 17FF | TIM6 |
| 0x4000 1800 – 0x4000 1BFF | ANALOG |
| 0x4000 1C00 – 0x4000 1FFF | EXTI |
| 0x4000 2000 – 0x4000 23FF | TIM1 |
| 0x4000 2400 – 0x4000 27FF | UART0 |
| 0x4000 2800 – 0x4000 2BFF | I2C |
| 0x4000 2C00 – 0x4000 2FFF | SPI1 |
| 0x4000 3000 – 0x4000 33FF | TIM7 |
| 0x4000 3400 – 0x4000 37FF | UART1 |
| 0x4000 3800 – 0x4000 3BFF | PWM |
| 0x4000 3C00 – 0x4000 3FFF | SPI2 |
| 0x4002 0000 – 0x4002 03FF | GPIO |

7 通用输入输出 (GPIO)

7.1 概述

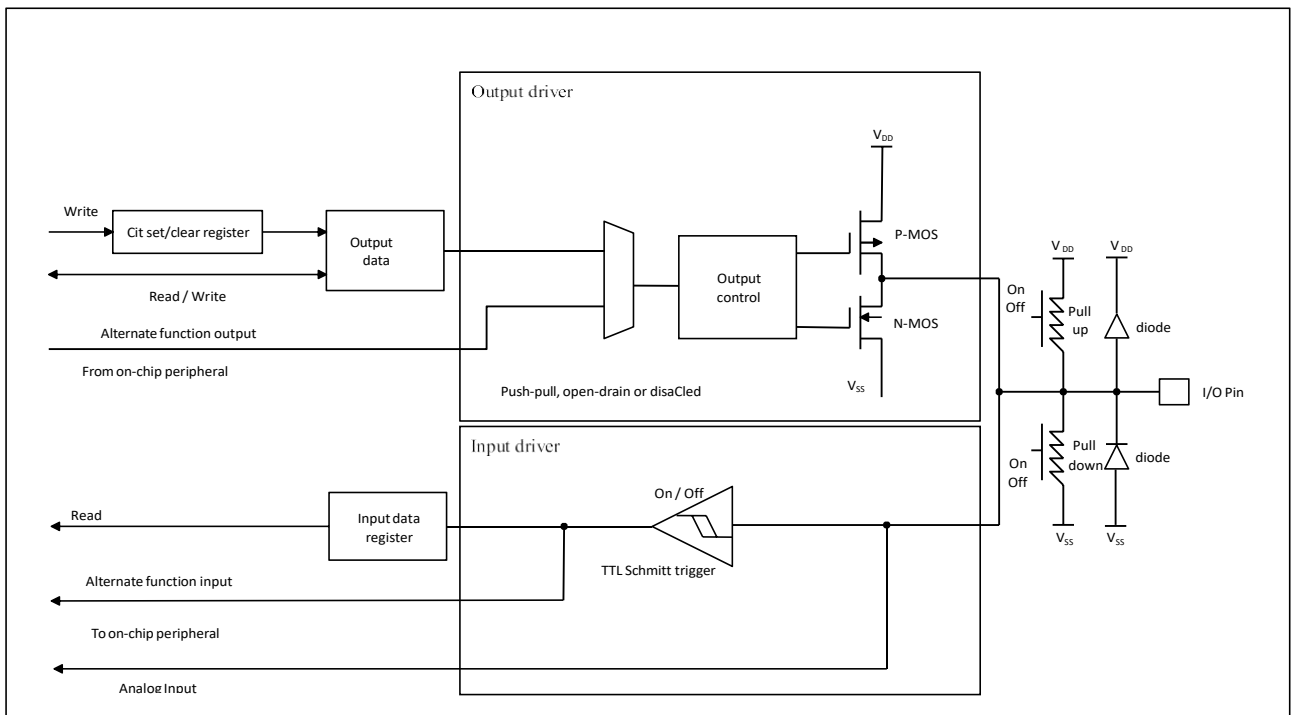
GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口

GPIO 端口具有以下特性:

- GPIO 端口可由软件分别配置成以下模式:
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉
 - ◆ 模拟功能
 - ◆ 推挽复用功能及上/下拉可配
 - ◆ 开漏复用功能及上/下拉可配
- 单独的位设置或位清除功能
- 所有 I/O 支持外部中断功能
- 所有 I/O 支持低功耗模式唤醒, 上升或下降沿可配置。16 个 EXTI 可用于 SLEEP 或 STOP 模式唤醒, 所有 I/O 可复用为 EXTI
- 支持软件重新映射 I/O 复用功能

每个 I/O 端口位可以任意编程, 但必须按照 32 位字访问 I/O 端口寄存器 (不允许 16 位半字或 8 位字节访问)。下图给出了一个 I/O 端口的基本结构。

图7-1 I/O 端口的基本结构



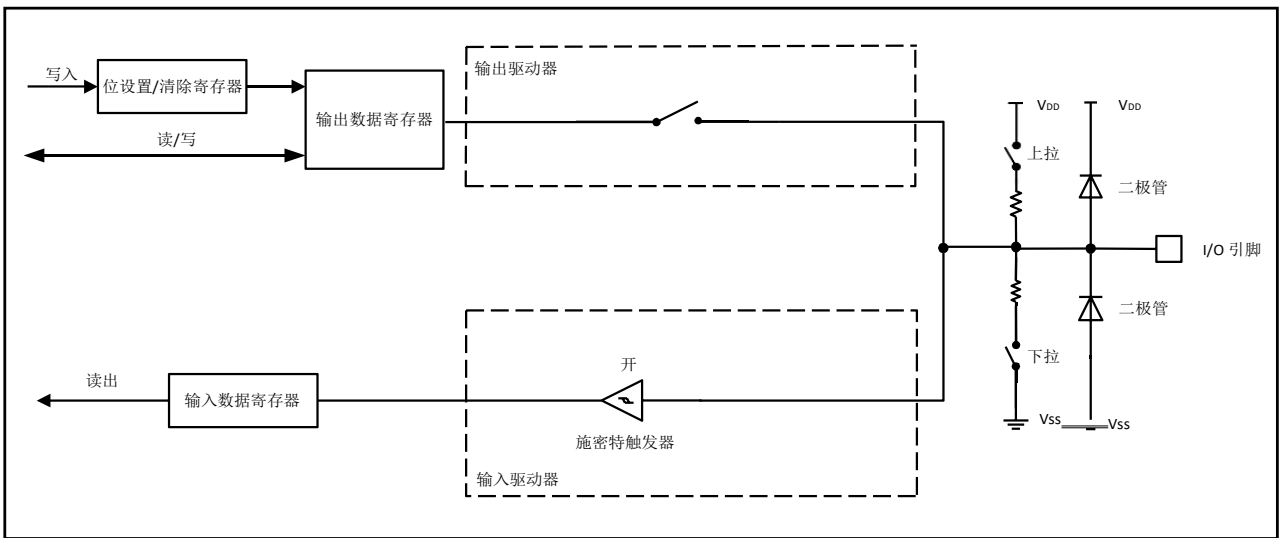
7.2 功能描述

7.2.1 输入模式

当 I/O 端口配置为输入模式时：

- 输出缓冲器被禁止
- 施密特触发输入被激活
- 上拉和下拉电阻是否被连接，取决于 GPIOx_PU_EN/GPIOx_PD_EN 寄存器的配置
- 对输入数据寄存器的读访问得到 I/O 状态

图 7-2 输入 浮空/上拉/下拉模式

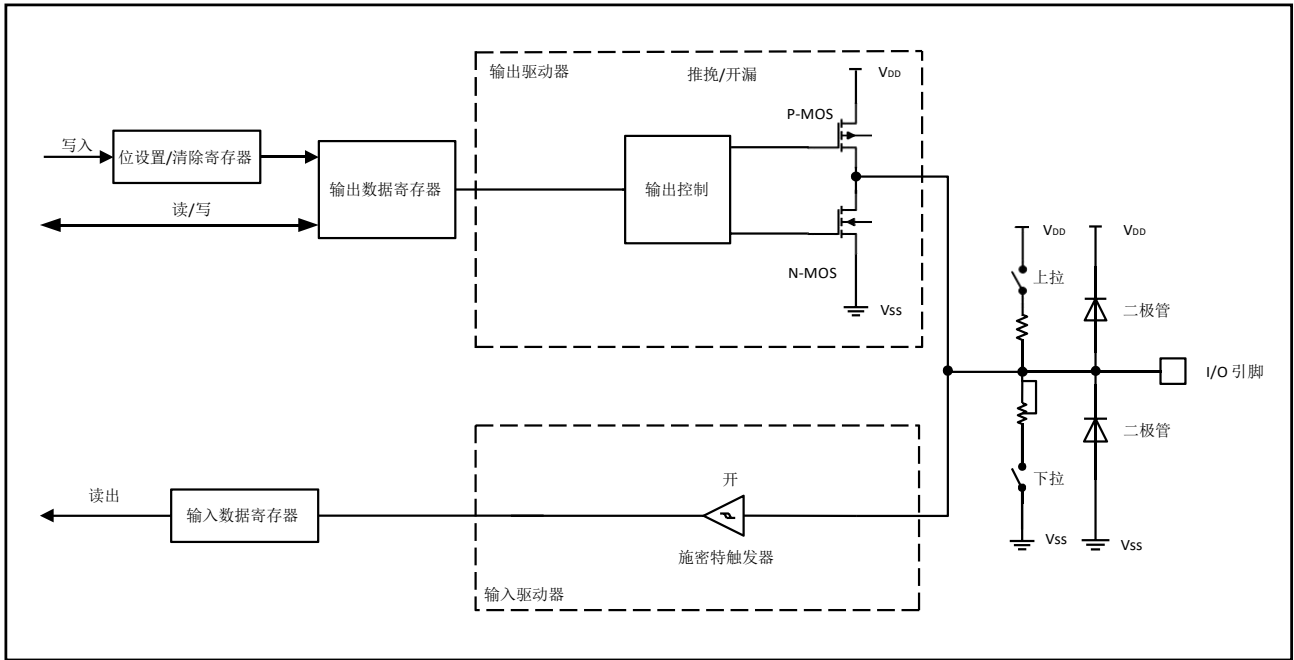


7.2.2 输出模式

当 I/O 端口配置为输出模式时：

- 施密特触发输入被激活
- 上拉和下拉电阻是否被连接，取决于 GPIOx_PU_EN/GPIOx_PD_EN 寄存器的配置
- 输出缓冲器被激活
 - ◆ 开漏模式：输出数据寄存器上的'0'激活 N-MOS，引脚输出低电平输出数据寄存器上的'1'使端口置于高阻状态（P-MOS 从不被激活）
 - ◆ 推挽模式：输出数据寄存器上的'0'激活 N-MOS，引脚输出低电平输出数据寄存器上的'1'激活 P-MOS，引脚输出高电平
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后写入的值

图 7-3 输出模式



7.2.3 复用功能模式

当 I/O 端口配置为复用功能模式时：

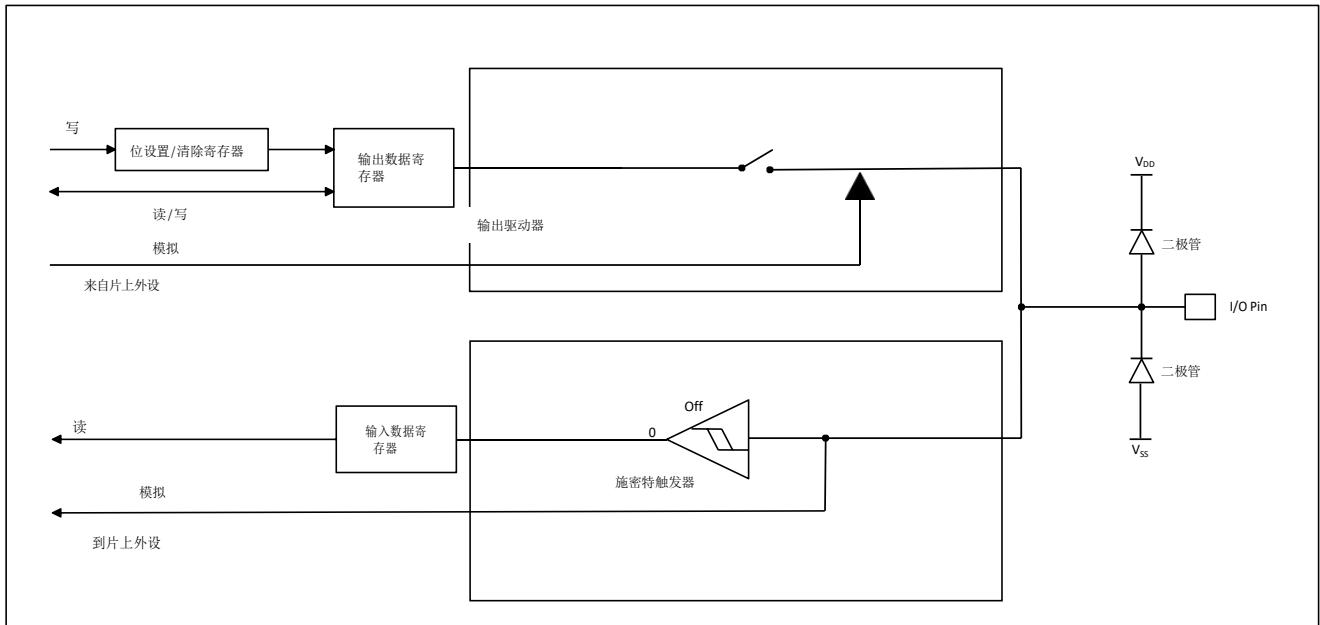
- 施密特触发输入被激活
- 上拉和下拉电阻是否被连接，取决于 GPIOx_PU_EN/PD_EN 寄存器的配置
- 在开漏或推挽式配置中，输出缓冲器由外设控制
- 内置外设的信号驱动输出缓冲器
- 在每个时钟周期，出现在 输入驱动上的数据被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后写入的值

7.2.4 模拟功能模式

当 I/O 端口被配置为模拟功能模式时：

- 上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为'0'
- 输出缓存器被禁止施密特触发输入被禁止，输出值被强置为'0'（实现了每个模拟 I/O 引脚上的零消耗）

图 7-4 高阻抗的模拟功能模



7.3 复位后状态

复位期间和刚复位后，复用功能未开启，I/O 端口被配置成高阻。

但有以下为例外的信号：

- 复位后，调试系统相关的引脚默认配置为 SWD 接口 I/O 配置：
 - ◆ PA19: SWCLK 置于复用模式
 - ◆ PA6: SWDIO 置于复用模式

7.4 外部中断/唤醒线

所有端口都有外部中断能力，可以在 EXTI 模块中配置：

- 端口必须配置成输入模式
- 所有端口可配置用于 SLEEP/STOP 模式唤醒，支持上升或下降沿可配
- 通用 I/O 端口连接到 16 个外部中断/事件线上，由寄存器 EXTICR 控制

7.5 复用功能

当 I/O 端口被配置为复用功能模式时，使用前必须对端口位配置寄存器 GPIOx_OD_EN(GPIOx[5])，GPIOx_PU_EN/PD_EN(GPIOx[7:6])和 GPIOx_AF(GPIOx[3:0])(x=A,B)设置，复用输入或输出由外设确定。

7.6 软件 I/O 复用表

为拓展不同器件封装下的复用外设功能灵活性，同一个引脚可以复用为不同的功能。每个 IO 有多达 10 个可复用的功能 (AF0~ AF10)。复位后，可以通过软件配置相应的寄存器 (GPIOx_AF) 来重新映射 IO 复用功能。

表 7-1 引脚复用功能映射表

| 取值 引脚 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
|----------|----|------|------|-----------|-----|-------|--------|----------|----------|---------|-----------|
| PA0AF | 高阻 | 数字输入 | 数字输出 | SPI2_MISO | TIM | PWM0 | ADC_0 | | | OP1_O | CMP0/1_P5 |
| PA1AF | 高阻 | 数字输入 | 数字输出 | SPI2_NSS | TIM | PWM1 | ADC_1 | UART0_TX | I2C1_SDA | | |
| PA2AF | 高阻 | 数字输入 | 数字输出 | SPI2_MOSI | TIM | PWM2 | ADC_2 | UART0_RX | I2C1_SCL | PGA_TO | |
| PA3AF | 高阻 | 数字输入 | 数字输出 | SPI2_NSS | TIM | PWM3 | ADC_3 | RESET | | OP0_O | CMP0/1_P4 |
| PA4AF | 高阻 | 数字输入 | 数字输出 | SPI2_MISO | TIM | PWM4 | ADC_4 | XTAL_I | | PGA_P | OP0_N |
| PA5AF | 高阻 | 数字输入 | 数字输出 | SPI2_CLK | TIM | PWM5 | ADC_5 | XTAL_O | | PGA_GND | OP0_P |
| PA6AF | 高阻 | 数字输入 | 数字输出 | SWD | TIM | PWM6 | ADC_6 | UART1_TX | I2C1_SDA | | |
| PA7AF | 高阻 | 数字输入 | 数字输出 | SPI2_NSS | TIM | PWM7 | ADC_7 | BKIN | SPI1_NSS | | |
| PA8AF | 高阻 | 数字输入 | 数字输出 | SPI2_MOSI | TIM | PWM8 | ADC_8 | | | CMP1_N | |
| PA9AF | 高阻 | 数字输入 | 数字输出 | SPI2_CLK | TIM | PWM9 | ADC_9 | | | CMP1_P0 | |
| PA10AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM10 | ADC_10 | | | CMP1_P1 | |
| PA11AF | 高阻 | 数字输入 | 数字输出 | SPI1_CLK | TIM | PWM11 | ADC_11 | | | CMP1_P2 | |
| PA12AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM12 | ADC_12 | I2C1_SDA | BKIN | CMP0_P2 | |
| PA13AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM13 | ADC_13 | I2C1_SCL | | CMP0_P1 | |
| PA14AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM14 | ADC_14 | ADC_VREF | | CMP0_P0 | |
| PA15AF | 高阻 | 数字输入 | 数字输出 | SPI1_NSS | TIM | PWM15 | ADC_15 | MCO | | CMP0_N | |
| PA16AF | 高阻 | 数字输入 | 数字输出 | SPI1_CLK | TIM | PWM16 | ADC_16 | | | | |
| PA17AF | 高阻 | 数字输入 | 数字输出 | SPI1_MOSI | TIM | PWM17 | ADC_17 | | | | |
| PA18AF | 高阻 | 数字输入 | 数字输出 | SPI1_MISO | TIM | PWM18 | ADC_18 | | | | |
| PA19AF | 高阻 | 数字输入 | 数字输出 | TCK | TIM | PWM19 | ADC_19 | UART1_RX | I2C1_SCL | | |
| PA20AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM20 | ADC_20 | | | OP1_P | |
| PA21AF | 高阻 | 数字输入 | 数字输出 | | TIM | PWM21 | ADC_21 | | | OP1_N | |

7.7 引脚寄存器描述

表 7-2 引脚寄存器地址表

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|---------|---------------|--------|
| 0x00 | GPIOA0 | GPIOA0 配置寄存器 | 0x0F10 |
| 0x04 | GPIOA1 | GPIOA1 配置寄存器 | 0x0F10 |
| 0x08 | GPIOA2 | GPIOA2 配置寄存器 | 0x0F10 |
| 0x0C | GPIOA3 | GPIOA3 配置寄存器 | 0x0F10 |
| 0x10 | GPIOA4 | GPIOA4 配置寄存器 | 0x0F10 |
| 0x14 | GPIOA5 | GPIOA5 配置寄存器 | 0x0F10 |
| 0x18 | GPIOA6 | GPIOA6 配置寄存器 | 0x0F13 |
| 0x1C | GPIOA7 | GPIOA7 配置寄存器 | 0x0F10 |
| 0x20 | GPIOA8 | GPIOA8 配置寄存器 | 0x0F10 |
| 0x24 | GPIOA9 | GPIOA9 配置寄存器 | 0x0F10 |
| 0x28 | GPIOA10 | GPIOA10 配置寄存器 | 0x0F10 |
| 0x2C | GPIOA11 | GPIOA11 配置寄存器 | 0x0F10 |
| 0x30 | GPIOA12 | GPIOA12 配置寄存器 | 0x0F10 |
| 0x34 | GPIOA13 | GPIOA13 配置寄存器 | 0x0F10 |

| | | | |
|------|---------|---------------|--------|
| 0x38 | GPIOA14 | GPIOA14 配置寄存器 | 0x0F10 |
| 0x3C | GPIOA15 | GPIOA15 配置寄存器 | 0x0F10 |
| 0x40 | GPIOA16 | GPIOA16 配置寄存器 | 0x0F10 |
| 0x44 | GPIOA17 | GPIOA17 配置寄存器 | 0x0F10 |
| 0x48 | GPIOA18 | GPIOA18 配置寄存器 | 0x0F10 |
| 0x4C | GPIOA19 | GPIOA19 配置寄存器 | 0x0F13 |
| 0x50 | GPIOA20 | GPIOA20 配置寄存器 | 0x0F10 |
| 0x54 | GPIOA21 | GPIOA21 配置寄存器 | 0x0F10 |
| 0x60 | GPIOAO | GPIOA 输出寄存器 | 0x0000 |
| 0x64 | GPIOAI | GPIOA 输入寄存器 | 0x0000 |

7.7.1 GPIO 配置寄存器

地址偏移: 0x00~0x54

| | | | | | | | | | | | | | | | |
|----|----|----|-----|----|-------|-------|-------|---------|----|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | DRV | SR | PU_EN | PD_EN | OD_EN | SMIT_EN | AF | | | | | | |
| rw | | | rw | rw | rw | rw | rw | rw | rw | | | | | | |

| 位域 | 名称 | 描述 |
|-------|-----------|--|
| 15:12 | - | 保留 |
| 11:10 | DRVN[1:0] | 输出强度选择 备注：四级驱动电流可选，详看电气特性章节。上电默认强度为最强。 |
| 9:8 | SR[1:0] | 输出斜率控制： 00：最慢斜率控制 01： 10： 11：最快斜率控制（上电默认值） |
| 7 | PU_EN | 为 1 时上拉电阻使能，0 不使能 |
| 6 | PD_EN | 为 1 时下拉电阻使能，0 不使能 |
| 5 | OD_EN | Open Drain 使能，为 1 选择 OD，为 0 选择推挽输出 |
| 4 | SMIT_EN | 为 1 输入的 SMIT 使能，为 0 输入的反相器使能 |
| 3:0 | AF | 引脚复用选择，见引脚复用功能映射表 |

7.7.2 GPIOA 输出数据寄存器（GPIOAO）

地址偏移: 0x60

复位值: 0x0000

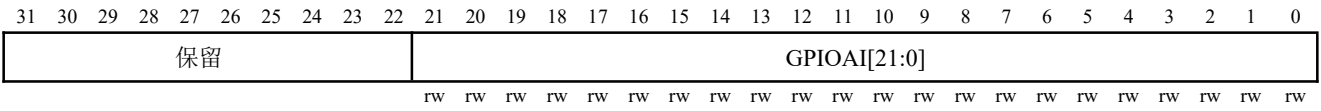
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|---|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | GPIOAO[21:0] | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | rw | | | | | | | | | | | | | | | | | | | | | |

| 位域 | 名称 | 描述 |
|------|--------|--|
| 21:0 | GPIOAO | GPIOAO 0~21: 输出配置寄存器 0: 输出低电平 1: 输出高电平 |

7.7.3 GPIOA 输入数据寄存器 (GPIOAI)

地址偏移: 0x64

复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|--------|--|
| 21:0 | GPIOAI | GPIOAI 0~21: 输入配置寄存器 0: 输入低电平 1: 输入高电平 |

8 嵌入式闪存 (FLASH)

8.1 闪存主要特性

- 高达 32K 字节闪存存储器
- 闪存接口的特性为
 - ◆ 选项字节加载器
 - ◆ 闪存编程/擦除操作
 - ◆ 写保护
 - ◆ 低功耗模式

8.2 闪存功能描述

8.2.1 闪存结构

闪存空间由 32 位宽的存储单元组成，既可以存代码又可以存数据。主闪存块按 32 扇区（每扇区 4K 字节）分块。

8.3 FLASH 寄存器概览

表 8-1 FLS 寄存器地址列表

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|------------|---------------|-----|
| 0x00 | FLS_AR | FLASH 擦除地址寄存器 | - |
| 0x04 | FLS_SYSKEY | System 区解锁寄存器 | - |
| 0x0C | FLS_SR | FLASH 状态寄存器 | - |
| 0x10 | FLS_CR | FLASH 控制寄存器 | - |

8.3.1 FLS_AR

| | | | | | | | | | | | | | | | |
|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| FLS_AR[31:16] | | | | | | | | | | | | | | | |
| w | w | w | w | w | w | w | w | w | w | w | w | w | w | w | w |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FLS_AR[15:0] | | | | | | | | | | | | | | | |
| w | w | w | w | w | w | w | w | w | w | w | w | w | w | w | w |

| 位域 | 名称 | 描述 |
|------|-------|-------------|
| 31:0 | FLSAR | Flash 待擦除地址 |

8.3.2 FLS_SYSKEY

| | | | | | | | | | | | | | | | |
|-------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| FLS_SYSKEY[31:16] | | | | | | | | | | | | | | | |
| w | w | w | w | w | w | w | w | w | w | w | w | w | w | w | w |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FLS_SYSKEY[15:0] | | | | | | | | | | | | | | | |
| w | w | w | w | w | w | w | w | w | w | w | w | w | w | w | w |

| 位域 | 名称 | 描述 |
|------|------------|----------------------|
| 31:0 | FLS_SYSKEY | Flash System 区解锁 Key |

8.3.3 FLS_SR

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------|-----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | | | | PROG_ERR | BSY |
| | | | | | | | | | | | | | | r | r |

| 位域 | 名称 | 描述 |
|------|----------|--|
| 31:0 | - | - |
| 1 | PROG_ERR | PROG_ERR:写入错误标志 当被编程区域的状态不为 '0xFFFF' 的情况下,执行写入操作时被硬件置位写 1 后可清零 注: 在写操作之前 FLASH_CR 寄存器中的 STRT 位应该先被清零 |
| 0 | BSY | BSY: 忙标志 该位标明 Flash 操作处于过程中。当开始 Flash 操作的时候被硬件置位,当操作结束时或发生错误时被硬件清零。 |

8.3.4 FLS_CR

| | | | | | | | | | | | | | | | |
|----|----|------------|-----------|----------|----------|---------|----|----|---------|---------|----|----|-------|---------|----------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | OPT_LAUNCH | BOOT_LOCK | OPT_LOCK | SYS_LOCK | LATENCY | | | ESYS_ST | EOPT_ST | - | - | EMASS | ESECTOR | SYS_PROG |
| | | w | rw | rw | rw | rw | rw | rw | w | w | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|----|------------|--|
| 13 | OPT_LAUNCH | OPT_LAUNCH:选项字节更新 当被写为 1 时, 该位强制选项字节的重加载, 该操作会引起系统复位。 0:无效 1:有效 |

| | | |
|-----|-----------|--|
| 12 | BOOT_LOCK | BOOT_LOCK:BOOT 区锁定标识 只能写 1，写 1 可以将 BOOT 区锁定。当该位为 1 时，表明 BOOT 区为锁定状态。该位可以通过对 BOOTKEY 寄存器写入解锁关键字序列来清零。。 |
| 11 | OPT_LOCK | OPT_LOCK:选项字节区锁定标识 只能写 1，写 1 可以将选项字节区锁定。当该位为 1 时，表明选项字节区为锁定状态。该位可以通过对 OPTKEY 寄存器写入解锁关键字序列来清零。 |
| 10 | SYS_LOCK | SYS_LOCK:系统区锁定标识 只能写 1，写 1 可以将系统区锁定。当该位为 1 时，表明系统区为锁定状态。该位可以通过对 SYSKEY 寄存器写入解锁关键字序列来清零。当发现解锁不成功时，该位就一直为 1 了，除非下次复位重新操作 |
| 9:7 | LATENCY | LATENCY[2:0]: 潜伏期 本位预设 SYSCLK 周期和 Flash 访问时间的比率关系。 000: 零等待位，适用于 $0 < \text{SYSCLK} \leq 24\text{MHz}$ 。 001: 1 个等待位适用于 $24\text{MHz} < \text{SYSCLK} \leq 48\text{MHz}$ 。 010: 2 个等待位适用于 $48\text{MHz} < \text{SYSCLK} \leq 64\text{MHz}$ 。 |
| 6 | ESYS_ST | ESYS_ST:启动系统区擦除操作 该位会触发一个系统区擦除操作，仅由软件置 1，置 1 后的下一个 PCLK 就会被清零 |
| 5 | EOPT_ST | EOPT_ST:启动选项字节擦除 该位会触发一个选项字节区擦除操作，仅由软件置 1。 |
| 4:3 | - | - |
| 2 | EMASS | EMASS:整片擦除 整片擦除时选择 |
| 1 | ESECTOR | ESECTOR:扇区擦除 扇区擦除时选择 |
| 0 | SYS_PROG | SYS_PROG:系统区写入 Flash 系统区写入时选择 |

9 中断和事件

9.1 嵌套向量中断寄存器

特性

- 22 个可屏蔽中断通道（不包含 16 个 Cortex®-M0 的中断线）
- 4 个可编程的优先等级（使用了 2 位中断优先级）
- 低延迟的异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

9.1.1 SysTick 校准值寄存器

系统滴嗒校准值固定为系统时钟，当系统滴嗒时钟设定为 PCLK/1000，产生 1ms 时间基准。

9.1.2 中断和异常向量

表 9-1 中断向量表

| 位置 | 优先级 | 优先级类型 | 名称 | 说明 | 地址 |
|----|-----|-------|---------------------|-------------------------------------|-------------|
| - | - | - | - | 保留 | 0x0000 0000 |
| - | -3 | 固定 | Reset_Handler | 复位（Reset） | 0x0000 0004 |
| - | -2 | 固定 | NMI_Handler | 不可屏蔽中断。RCC 时钟安全系统 (CSS) 连接到 NMI 向量。 | 0x0000 0008 |
| - | -1 | 固定 | HardFault_Handler | 所有类型的错误（fault） | 0x0000 000C |
| - | 3 | 可设置 | SVC_Handler | 通过 SWI 指令调用的系统服务 | 0x0000 002C |
| - | 5 | 可设置 | PendSV_Handler | 可挂起的系统服务请求 | 0x0000 0038 |
| - | 6 | 可设置 | SysTick_Handler | 系统滴嗒定时器 | 0x0000 003C |
| 0 | 7 | 可设置 | TMC_IRQHandler | TMC 中断 | 0x0000 0040 |
| 1 | 8 | - | - | 保留 | 0x0000 0044 |
| 2 | 9 | - | - | 保留 | 0x0000 0048 |
| 3 | 10 | - | - | 保留 | 0x0000 004C |
| 4 | 11 | - | - | 保留 | 0x0000 0050 |
| 5 | 12 | 可设置 | EXTI0_1_IRQHandler | EXTI 线[1:0] 中断 | 0x0000 0054 |
| 6 | 13 | 可设置 | EXTI2_3_IRQHandler | EXTI 线[3:2] 中断 | 0x0000 0058 |
| 7 | 14 | 可设置 | EXTI4_15_IRQHandler | EXTI 线[15:4] 中断 | 0x0000 005C |
| 8 | 15 | - | - | 保留 | 0x0000 0060 |
| 9 | 16 | - | - | 保留 | 0x0000 0064 |

| | | | | | |
|----|----|-----|-------------------------|--------------|-------------|
| 10 | 17 | - | - | 保留 | 0x0000 0068 |
| 11 | 18 | - | - | 保留 | 0x0000 006C |
| 12 | 19 | 可设置 | TIM1_BRK_IRQHandler | TIM1 BRK 中断 | 0x0000 0070 |
| 13 | 20 | 可设置 | TIM1_UP_TRIG_IRQHandler | TIM1 更新、触发中断 | 0x0000 0074 |
| 14 | 21 | 可设置 | TIM1_CC_IRQHandler | TIM1 比较中断 | 0x0000 0078 |
| 15 | 22 | 可设置 | PWM_IRQHandler | PWM 中断 | 0x0000 007C |
| 16 | 23 | 可设置 | SPI2_IRQHandler | SPI2 中断 | 0x0000 0080 |
| 17 | 24 | 可设置 | TIM6_IRQHandler | TIM6 中断 | 0x0000 0084 |
| 18 | 25 | 可设置 | LVD_IRQHandler | LVD 中断 | 0x0000 0088 |
| 19 | 26 | - | - | 保留 | 0x0000 008C |
| 20 | 27 | 可设置 | ADC_IRQHandler | ADC 全局中断 | 0x0000 0090 |
| 21 | 28 | - | - | 保留 | 0x0000 0094 |
| 22 | 29 | 可设置 | TIM7_IRQHandler | TIM7 中断 | 0x0000 0098 |
| 23 | 30 | 可设置 | I2C_IRQHandler | I2C 全局中断 | 0x0000 009C |
| 24 | 31 | 可设置 | CMP_IRQHandler | CMP 全局中断 | 0x0000 00A0 |
| 25 | 32 | 可设置 | SPI1_IRQHandler | SPI1 全局中断 | 0x0000 00A4 |
| 26 | 33 | 可设置 | UART0_IRQHandler | UART0 全局中断 | 0x0000 00A8 |
| 27 | 34 | 可设置 | UART1_IRQHandler | UART1 全局中断 | 0x0000 00AC |

9.2 外部中断/事件控制器 (EXTI)

9.2.1 简介

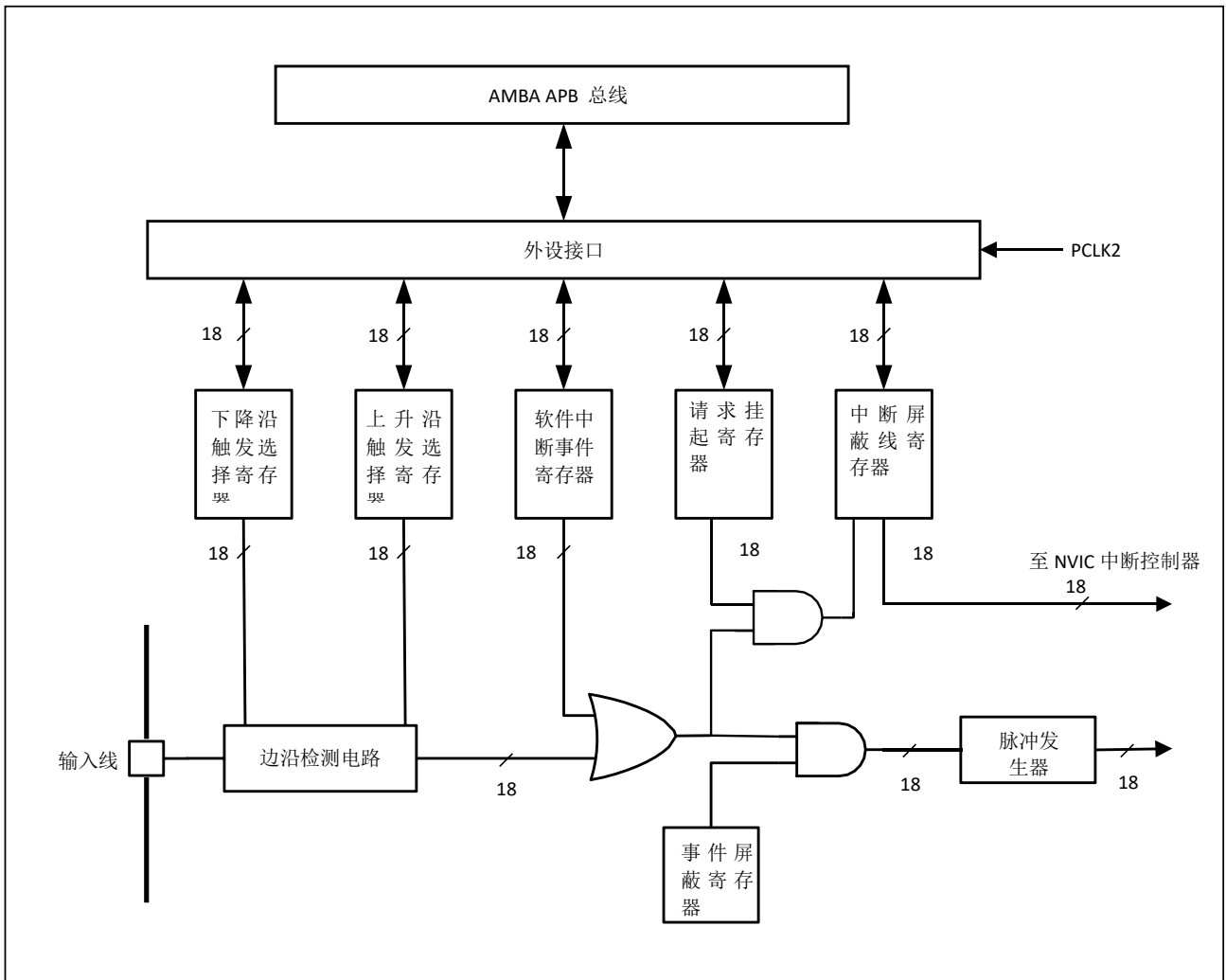
外部中断/事件控制器包含 18 个产生中断/事件触发的边沿检测电路，每条输入线可以独立地配置脉冲或挂起输入类型，以及上升沿、下降沿或者双边沿 3 种触发事件类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写'1'操作，清除中断请求。

9.2.2 主要特性

EXTI 控制器的主要特性如下：

- 支持 18 个软件中断/事件请求
- 每条输入线对应的中断/事件都能独立配置触发或屏蔽
- 每条中断线都有独立的状态位
- 支持脉冲或挂起输入类型
- 支持上升沿、下降沿或双边沿 3 种触发事件类型
- 可唤醒退出低功耗模式

图9-1 外部中断/事件控制器框图



9.2.3 功能描述

要产生中断，必须配置外部中断控制器的 NVIC 中断通道使能相应的中断线。通过沿触发配置寄存器 EXTI_RTISR 和 EXTI_FTISR 选择上升沿、下降沿或双边沿触发事件类型，并将中断屏蔽寄存器 EXTI_IMR 的相应位写‘1’开放允许中断请求。当外部中断线上检测到预设的边沿触发极性，将产生一个中断请求，对应的挂起位也随之被置‘1’。在挂起寄存器的对应位写‘1’，将清除该中断请求。

要产生事件，必须配置并使能对应的事件线。根据需要的边沿检测极性，设置上升/下降沿触发配置寄存器，同时在事件屏蔽寄存器的相应位写‘1’允许中断请求。当事件线上发生预设的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置‘1’。

另外，通过在软件中断/事件寄存器写‘1’，也可以通过软件产生中断/事件请求。

- 硬件中断配置，根据需要选择配置 18 条线路作为中断源：
 - ◆ 配置 18 条中断线的屏蔽位（EXTI_IMR）；
 - ◆ 配置所选中断线的触发配置位（EXTI_RTISR 和EXTI_FTISR）；
 - ◆ 配置对应到外部中断控制器的 NVIC 中断通道的使能和屏蔽位，使 18 条中断线中的请求可以被正确地响应。

- 硬件事件配置，根据需要选择配置 18 条线路作为事件源：
 - ◆ 配置 17 条事件线的屏蔽位（EXTI_EMR）；
 - ◆ 配置所选事件线的触发配置位（EXTI_RTISR 和EXTI_FTISR）。
- 软件中断/事件配置，根据需要选择配置 18 条线路作为软件中断/事件线：
 - ◆ 配置 17 条中断/事件线屏蔽位（EXTI_IMR,EXTI_EMR）；
 - ◆ 配置软件中断事件寄存器的请求位（EXTI_CR）。

9.2.4 EXTI 线路映射

表 9-2 EXTI 触发源

| 外部中断线 | IO 映射 | 控制位 |
|--------|----------|--------------------------|
| EXTI0 | PA0;PA16 | EXTI_CR 寄存器中的 Exti0_sel |
| EXTI1 | PA1;PA17 | EXTI_CR 寄存器中的 Exti1_sel |
| EXTI2 | PA2;PA18 | EXTI_CR 寄存器中的 Exti2_sel |
| EXTI3 | PA3;PA19 | EXTI_CR 寄存器中的 Exti3_sel |
| EXTI4 | PA4;PA20 | EXTI_CR 寄存器中的 Exti4_sel |
| EXTI5 | PA5;PA21 | EXTI_CR 寄存器中的 Exti5_sel |
| EXTI6 | PA6; | EXTI_CR 寄存器中的 Exti6_sel |
| EXTI7 | PA7; | EXTI_CR 寄存器中的 Exti7_sel |
| EXTI8 | PA8; | EXTI_CR 寄存器中的 Exti8_sel |
| EXTI9 | PA9; | EXTI_CR 寄存器中的 Exti9_sel |
| EXTI10 | PA10; | EXTI_CR 寄存器中的 Exti10_sel |
| EXTI11 | PA11; | EXTI_CR 寄存器中的 Exti11_sel |
| EXTI12 | PA12; | EXTI_CR 寄存器中的 Exti12_sel |
| EXTI13 | PA13; | EXTI_CR 寄存器中的 Exti13_sel |
| EXTI14 | PA14; | EXTI_CR 寄存器中的 Exti14_sel |
| EXTI15 | PA15; | EXTI_CR 寄存器中的 Exti15_sel |

所有的 GPIO 均可用作 EXTI 的触发源用于产生中断或事件请求,EXTI_CR 寄存器,同时支持内部模块(TMC)触发。具体存在的连接关系如下表所示。

- EXTI 线16 连接到 TMC 事件。

9.3 中断控制寄存器

表 9-3 寄存器 IP 地址列表

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|------------|------------|------------|
| 0x00 | EXTI_IMR | 中断屏蔽寄存器 | 0x00000000 |
| 0x04 | EXTI_EMR | 事件屏蔽寄存器 | 0x00000000 |
| 0x08 | EXTI_RTISR | 上升沿触发选择寄存器 | 0x00000000 |
| 0x0C | EXTI_FTISR | 下降沿触发选择寄存器 | 0x00000000 |
| 0x10 | EXTI_SWIER | 软件中断事件寄存器 | 0x00000000 |

| | | | |
|------|---------|-----------|------------|
| 0x14 | EXTI_PR | 挂起寄存器 | 0x00000000 |
| 0x18 | EXTI_CR | 外部中断选择寄存器 | 0x00000000 |

9.3.1 中断屏蔽寄存器 (EXTI_IMR)

偏移地址: 0x00

复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|-------|-------|
| 保留 | | | | | | | | | | | | | | IMR17 | IMR16 |
| | | | | | | | | | | | | | | rw | rw |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| IMR15 | IMR14 | IMR13 | IMR12 | IMR11 | IMR10 | IMR9 | IMR8 | IMR7 | IMR6 | IMR5 | IMR4 | IMR3 | IMR2 | IMR1 | IMR0 |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|------|---|
| 31:18 | - | 保留, 必须始终保持为复位状态 (0)。 |
| 17:0 | IMRx | IMRx: 线 x 上的中断屏蔽 (Interrupt Mask on line x) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。 |

9.3.2 事件屏蔽寄存器 (EXTI_EMR)

偏移地址: 0x04

复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|-------|-------|
| 保留 | | | | | | | | | | | | | | EMR17 | EMR16 |
| | | | | | | | | | | | | | | rw | rw |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| EMR15 | EMR14 | EMR13 | EMR12 | EMR11 | EMR10 | EMR9 | EMR8 | EMR7 | EMR6 | EMR5 | EMR4 | EMR3 | EMR2 | EMR1 | EMR0 |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|------|---|
| 31:18 | - | 保留, 必须始终保持为复位状态 (0)。 |
| 17:0 | EMRx | EMRx: 线 x 上的事件屏蔽 (Event Mask on line x) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。 |

9.3.3 上升沿触发选择寄存器 (EXTI_RTSTR)

偏移地址: 0x08

复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| 保留 | | | | | | | | | | | | | | RTSR17 | RTSR16 |
| | | | | | | | | | | | | | | rw | rw |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |

| | | | | | | | | | | | | | | | |
|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTSR15 | RTSR14 | RTSR13 | RTSR12 | RTSR11 | RTSR10 | RTSR9 | RTSR8 | RTSR7 | RTSR6 | RTSR5 | RTSR4 | RTSR3 | RTSR2 | RTSR1 | RTSR0 |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|-------|--|
| 31:18 | - | 保留，必须始终保持为复位状态（0）。 |
| 17:0 | RTSRx | RTSRx: 线 x 上的上升沿触发事件配置位 (Rising trigger event configuration bit of line x) 0: 禁止输入线 x 上的上升沿触发（中断和事件）； 1: 允许输入线 x 上的上升沿触发（中断和事件）。 |

注意： 外部唤醒线是边沿触发的，这些线上不能出现毛刺信号。
在写 EXTI_RTSR 寄存器时，在外部中断线上的上升沿信号不能被识别，挂起位也不会被置位。在同一中断线上，可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断

9.3.4 下降沿触发选择寄存器（EXTI_FTSR）

偏移地址：0x0C

复位值：0x0000 0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | | FTSR17 | FTSR16 |
| | | | | | | | | | | | | | | rw | rw |

| | | | | | | | | | | | | | | | |
|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FTSR15 | FTSR14 | FTSR13 | FTSR12 | FTSR11 | FTSR10 | FTSR9 | FTSR8 | FTSR7 | FTSR6 | FTSR5 | FTSR4 | FTSR3 | FTSR2 | FTSR1 | FTSR0 |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|-------|---|
| 31:18 | - | 保留，必须始终保持为复位状态（0）。 |
| 17:0 | FTSRx | FTSRx: 线 x 上的下降沿触发事件配置位 (Falling trigger event configuration bit of line x) 0: 禁止输入线 x 上的下降沿触发（中断和事件）； 1: 允许输入线 x 上的下降沿触发（中断和事件）。 |

注意： 外部唤醒线是边沿触发的，这些线上不能出现毛刺信号。
在写 EXTI_FTSR 寄存器时，在外部中断线上的下降沿信号不能被识别，挂起位也不会被置位。在同一中断线上，可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断

9.3.5 软件中断事件寄存器（EXTI_SWIER）

偏移地址：0x10

复位值：0x0000 0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|---------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | | SWIER17 | SWIER16 |
| | | | | | | | | | | | | | | rw | rw |

| | | | | | | | | | | | | | | | |
|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SWIER15 | SWIER14 | SWIER13 | SWIER12 | SWIER11 | SWIER10 | SWIER9 | SWIER8 | SWIER7 | SWIER6 | SWIER5 | SWIER4 | SWIER3 | SWIER2 | SWIER1 | SWIER0 |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|--------|--|
| 31:18 | - | 保留，必须始终保持为复位状态（0）。 |
| 17:0 | SWIERx | SWIERx: 线 x 上的软件中断 (Software interrupt on line x) 当该位为'0'时，写'1'将设置 EXTI_PR 中相应的挂起位。如果在 EXTI_IMR 和 EXTI_EMR 中允许产生该中断，则此时将产生一个中断。 注：通过清除 EXTI_PR 的对应位（写入'1'），可以清除该位为'0'。 |

9.3.6 挂起寄存器（EXTI_PR）

偏移地址：0x14

复位值：0xXXXX XXXX

| | | | | | | | | | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | PR17 | PR16 | |
| | | | | | | | | | | | | | rc_wl | rc_wl | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR15 | PR14 | PR13 | PR12 | PR11 | PR10 | PR9 | PR8 | PR7 | PR6 | PR5 | PR4 | PR3 | PR2 | PR1 | PR0 |
| rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl |

| 位域 | 名称 | 描述 |
|-------|-----|---|
| 31:18 | - | 保留，必须始终保持为复位状态（0）。 |
| 17:0 | PRx | PRx: 挂起位 0: 没有发生触发请求 1: 发生了选择的触发请求 当在外部中断线上发生了选择的边沿事件，该位被置'1'。在该位中写入'1'可以清除它，也可以通过改变边沿检测的极性清除。 |

9.3.7 外部中断选择寄存器（EXTI_CR）

偏移地址：0x18

复位值：0xXXXX XXXX

| | | | | | | | | | | | | | | | |
|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|-------|-------|-------|-------|-------|-------|-------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Exti15_sel | Exti14_sel | Exti13_sel | Exti12_sel | Exti11_sel | Exti10_sel | Exti9_sel | Exti8_sel | | | | | | | | |
| rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_w | rc_wl | rc_wl |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Exti7_sel | Exti6_sel | Exti5_sel | Exti4_sel | Exti3_sel | Exti2_sel | Exti1_sel | Exti0_sel | | | | | | | | |
| rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl | rc_wl |

| 位域 | 名称 | 描述 |
|------|-----------|--|
| 31:0 | Extix_sel | 外部中断选择寄存器 x: 对应的外部中断号 (x = 0~15) Extix_sel[1:0] = 00: 表示选择 PA0~PA15 对应管脚外部中断; 01: 表示选择 PA16~PA21 对应管脚外部中断; 其他: 表示不选择任何 io 管脚作为外部中断; |

10 时钟和电源系统

10.1 时钟系统介绍

CA32F0323 系列芯片共支持以下时钟源：

- 内置 16MHz RC 振荡器
- 内置 128KHz RC 振荡器
- 内置 PLL 锁相环
- 支持外部 32.768KHz 晶体振荡器

图 10-1 时钟源示意图

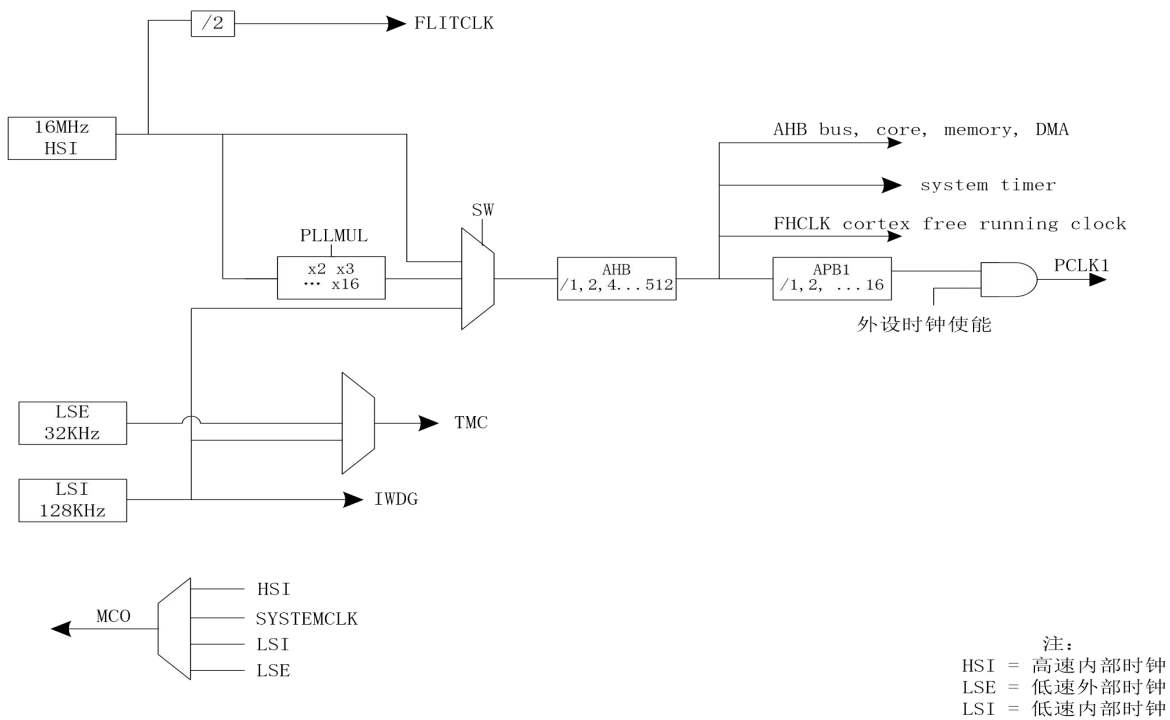


图 10-2 外接 32.768KHz 晶体参考典型电路图

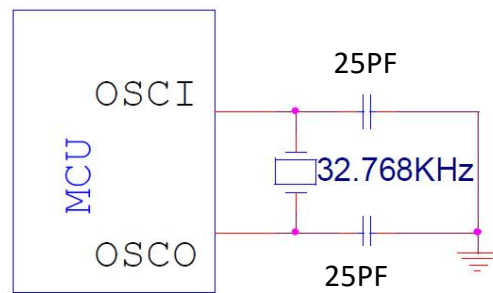


图 10-2

- 重要提醒：**
1. 硬件设计时晶振负载电容必须和芯片地连接，晶振补偿电容尽量靠近芯片 GND 引脚。32.768KHz 石英晶振必须使用直径 3mmx8mm 的晶振规格。
 2. 以上电路及元件参数仅供参考，使用不同厂家晶振在电路使用中参数可能需要修改。

10.2 时钟控制寄存器

表 10-1 时钟控制寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|--------------|----------------|------------|
| 0x00 | RCC_CR | 时钟控制寄存器 | 0x00008083 |
| 0x10 | RCC_APB1RSTR | APB1 外设复位寄存器 | 0x00000000 |
| 0x1C | RCC_APB1ENR | APB1 外设时钟使能寄存器 | 0x00000014 |
| 0x24 | RCC_CSR | 控制/状态寄存器 | 0x0C000000 |

10.2.1 时钟控制寄存器 (RCC_CR)

偏移地址: 0x00

复位值: 0x00008083

| | | | | | | | | | | | | | | | |
|--------|------|------|----|----|----|-------|--------|--------|--------|--------|--------|--------|-------|--------|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | PLLON | PLLRDY | TMCSEL | HSIRDF | LSERDF | LSIRDF | MCO | | PLLMUL | |
| | | | | | | r | rw | r | rw | r | r | r | rw | rw | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PLLMUL | PPRE | HPRE | | | | | | SWS | | | SW | HSIRDY | HSION | | |
| rw | rw | rw | | | | | | r | | | rw | r | rw | | |

| 位域 | 名称 | 描述 |
|-------|--------|--|
| 31:26 | - | 保留 |
| 25 | PLLON | PLL 使能由软件置'1'或清零 当进入待机和停止模式时, 该位由硬件清零。当 PLL 时钟被用作或被选择将要作为系统时钟时, 该位不能被清零。 0: PLL 关闭 1: PLL 使能 |
| 24 | PLLRDY | PLLRDY: PLL 时钟就绪标志 (PLL clock ready flag)PLL 锁定后由硬件置'1'。 0: PLL 未锁定; 1: PLL 锁定。 |
| 23 | TMCSEL | TMC 时钟选择: 0: 表示选择内部 LSI 1: 表示选择外部 LSE |
| 22 | HSIRDF | HSI 就绪中断标志, 由硬件置'1'。 由软件通过置'1' HSIRDYC 位来清除。 0: 无内部 16MHz RC 振荡器产生的时钟就绪中断; 1: 内部 16MHz RC 振荡器导致时钟就绪中断 |
| 21 | LSERDF | LSE 就绪中断标志, 由硬件置'1'。 由软件通过置'1' LSERDYC 位来清除。 0: 无外部 32kHz 振荡器产生的时钟就绪中断; 1: 外部 32kHz 振荡器导致时钟就绪中断 |
| 20 | LSIRDF | LSI 就绪中断标志, 由硬件置'1'。 由软件通过置'1' LSIRDYC 位来清除。 0: 无内部 128kHz RC 振荡器产生的时钟就绪中断; 1: 内部 128kHz RC 振荡器导致时钟就绪中断 |
| 19:17 | MCO | MCO: 微控制器时钟输出由软件置'1'或清零 000: 没有时钟输出 001: HSI 时钟 010: LSI 时钟 011: LSE 时钟 |

| | | |
|-------|--------|---|
| | | 100, 101, 110, 111: 系统时钟 HCLK 注意: 该时钟输出在启动和切换 MCO 时钟源时可能会被截断 |
| 16:13 | PLLMUL | PLL 倍频系数, 由软件设置来确定 PLL 倍频系数。只有在 PLL 关闭的情况下才可被写入。 注意: PLL 的输出频率不能超过 48MHz 0000: PLL 2 倍频输出 1000: PLL 10 倍频输出 0001: PLL 3 倍频输出 1001: PLL 11 倍频输出 0010: PLL 4 倍频输出 1010: PLL 12 倍频输出 0011: PLL 5 倍频输出 1011: PLL 13 倍频输出 0100: PLL 6 倍频输出 1100: PLL 14 倍频输出 0101: PLL 7 倍频输出 1101: PLL 15 倍频输出 0110: PLL 8 倍频输出 1110: PLL 16 倍频输出 0111: PLL 9 倍频输出 1111: PLL 16 倍频输出 |
| 12:10 | PPRE | 低速 APB 预分频 (APB1) 由软件置'1'或清'0'来控制低速 APB1 时钟 (PCLK1) 的预分频系数。注意: 软件必须保证 APB1 时钟频率不超过 32MHz。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频 |
| 9:6 | HPRE | AHB 预分频 由软件置'1'或清'0'来控制 AHB 时钟的预分频系数。 0xxx: SYSCLK 不分频 1000: SYSCLK 2 分频 1100: SYSCLK 64 分频 1001: SYSCLK 4 分频 1101: SYSCLK 128 分频 1010: SYSCLK 8 分频 1110: SYSCLK 256 分频 1011: SYSCLK 16 分频 1111: SYSCLK 512 分频 |
| 5:4 | SWS | 系统时钟切换状态, 由硬件置'1'或清'0'来指示哪一个时钟源被作为系统时钟。 00: HSI 作为系统时钟; 01: LSI 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用 |
| 3:2 | SW | 系统时钟切换, 由软件置'1'或清'0'来选择系统时钟源。 在从停止或待机模式中返回时或直接或间接作为系统时钟的 HSE 出现故障时, 由硬件强制选择 HSI 作为系统时钟 (如果时钟安全系统已经启动) 00: HSI 作为系统时钟; 01: LSI 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用 |
| 1 | HSIRDY | HSIRDY: 内部高速时钟就绪标志 (Internal high-speed clock ready flag) 由硬件置'1'来指示内部 16MHz 振荡器已经稳定。在 HSION 位清零后, 该位需要 6 个内部 16MHz 振荡器周期清零。 0: 内部 16MHz 振荡器没有就绪; 1: 内部 16MHz 振荡器就绪。 |
| 0 | HSION | HSION: 内部高速时钟使能 (Internal high-speed clock enable) 由软件置'1'或清零。 当从停止模式返回或用作系统时钟的外部 4-24MHz 振荡器发生故障时, 该位由硬件置'1'来启动内部 16MHz 的 RC 振荡器。当内部 16MHz 振荡器被直接或间接地用作或被选择将要作为系统时钟时, 该位不能被清零。 0: 内部 16MHz 振荡器关闭; 1: 内部 16MHz 振荡器开启。 |

10.2.2 APB1 外设复位寄存器 (RCC_APB1RSTR)

偏移地址: 0x10

复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----|--------|----|----|---------|--------|----------|---------|----|--------|---------|----|---------|---------|----|----------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | SPI2RST | TIM7RST | 保留 | UART1RST |
| rw | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | PWMRST | 保留 | 保留 | SPI1RST | I2CRST | UART0RST | TIM1RST | 保留 | ANARST | TIM6RST | 保留 | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|----------|--|
| 31~20 | - | 保留 |
| 19 | SPI2RST | SPI2 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 18 | TIM7RST | TIM7 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 17 | - | 保留 |
| 16 | UART1RST | UART1 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 15 | - | 保留 |
| 14 | PWMRST | PWM 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 13 | - | 保留 |
| 12 | - | 保留 |
| 11 | SPI1RST | SPI1RST:SPI1 时钟复位 (SPI1 clock reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 SPI1。 |
| 10 | I2CRST | I2CRST: I2C 复位 (I2C 1 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 I2C 1。 |
| 9 | UART0RST | UART0RST: UART0 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 UART0。 |

| | | |
|-----|----------|---|
| 8 | TIM1 RST | TIM1 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 7 | - | 保留 |
| 6 | ANARST | ANA 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 5 | TIM6RST | TIM6 复位 由软件置'1'或清'0' 0: 无作用; 1: 复位 |
| 4:0 | - | 保留 |

10.2.3 APB1 外设时钟使能寄存器 (RCC_APB1ENR)

偏移地址: 0x1C

复位值: 0x0000 0000

注: 当外设时钟没有启用时, 软件不能读出外设寄存器的数值, 返回的数值始终是 0x00。

| | | | | | | | | | | | | | | | |
|----|-------|----|----|--------|-------|---------|--------|----|--------|--------|----|--------|--------|----|---------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | FLSEN | SRAMEN | 保留 | SPI2EN | TIM7EN | 保留 | UART1EN |
| | | | | | | | | | rw | rw | | rw | rw | | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | PWMEN | 保留 | 保留 | SPI1EN | I2CEN | UART0EN | TIM1EN | 保留 | ADCOEN | TIM6EN | 保留 | | | | |
| | rw | | | rw | | | rw | | rw | rw | | | | | |

| 位域 | 名称 | 描述 |
|-------|--------|---|
| 31:23 | - | 保留 |
| 22 | FLSEN | FLSEN:FLS 时钟使能 (FLS clock enable) 由软件置'1'或清'0' 0: FLS 时钟关闭; 1: FLS 时钟开启。 |
| 21 | SRAMEN | SRAMEN:SRAM 时钟使能 由软件置'1'或清'0' 0: SRAM 时钟关闭; 1: SRAM 时钟开启。 |
| 20 | - | 保留 |
| 19 | SPI2EN | SPI2EN:SPI2 时钟使能 由软件置'1'或清'0' 0: SPI2 时钟关闭; 1: SPI2 时钟开启。 |
| 18 | TIM7EN | TIM7EN: 定时器 7 时钟使能 由软件置'1'或清'0' |

| | | |
|--------|---------|---|
| | | 0: 定时器 7 时钟关闭; 1: 定时器 7 时钟开启。 |
| 17 | - | 保留 |
| 16 | UART1EN | UART1EN: UART1 时钟使能 由软件置'1'或清'0' 0: UART1 时钟关闭; 1: UART1 时钟开启。 |
| 15 | - | 保留 |
| 14 | PWMEN | PWMEN: PWM 时钟使能 由软件置'1'或清'0' 0: PWM 时钟关闭; 1: PWM 时钟开启。 |
| 13: 12 | - | 保留 |
| 11 | SPI1EN | SPI1EN: SPI1 时钟使能 由软件置'1'或清'0' 0: SPI1 时钟关闭; 1: SPI1 时钟开启。 |
| 10 | I2CEN | I2CEN: I2C 时钟使能 由软件置'1'或清'0' 0: I2C 时钟关闭; 1: I2C 时钟开启。 |
| 9 | UART0EN | UART0EN: UART0 时钟使能 由软件置'1'或清'0' 0: UART0 时钟关闭; 1: UART0 时钟开启。 |
| 8 | TIM1EN | TIM1EN: 定时器 1 时钟使能 由软件置'1'或清'0' 0: 定时器 1 时钟关闭; 1: 定时器 1 时钟开启。 |
| 7 | - | 保留 |
| 6 | ADCEN | ADCEN: ADC 时钟使能 由软件置'1'或清'0' 0: ADC 时钟关闭; 1: ADC 时钟开启。 |
| 5 | TIM6EN | TIM6EN: 定时器 6 时钟使能 由软件置'1'或清'0' 0: 定时器 6 时钟关闭; 1: 定时器 6 时钟开启。 |
| 4:0 | - | 保留 |

10.2.4 控制/状态寄存器 (RCC_CSR)

偏移地址: 0x24

复位值: 0x0C00 0000, 除复位标志外由系统复位清除, 复位标志只能由电源复位清除。

| | | | | | | | | | | | | | | | |
|----|----|-----------|----------|----------|----------|----|------|------------|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | 保留 | IWDG_RSTF | SFT_RSTF | POR_RSTF | PIN_RSTF | 保留 | RMVF | V18_pwrstf | 保留 | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | | | | | | | |

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|------|----|---|---|---|---|-------|--------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | LPDS | 保留 | | | | | LSEON | LSIRDY | LSION |
| | | | | | | | rw | | | | | | rw | rw | |

| 位域 | 名称 | 描述 |
|-------|------------|---|
| 31:30 | - | 保留 |
| 29 | IWDG RSTF | 独立看门狗复位标志，在独立看门狗复位发生在 VDD 区域时由硬件置'1'；由软件通过写 RMVF 位清除。 0：无独立看门狗复位发生； 1：发生独立看门狗复位 |
| 28 | SFT RSTF | 软件复位标志，在软件复位发生时由硬件置'1'；由软件通过写 RMVF 位清除。 0：无软件复位发生； 1：发生软件复位 |
| 27 | POR RSTF | 上电/掉电复位标志，在上电/掉电复位发生时由硬件置'1'；由软件通过写 RMVF 位清除。 0：无上电/掉电复位发生； 1：发生上电/掉电复位 |
| 26 | PIN RSTF | NRST 管脚复位标志，在 NRST 管脚复位发生时由硬件置'1'；由软件通过写 RMVF 位清除。 0：无 NRST 管脚复位发生； 1：发生 NRST 管脚复位。 |
| 25 | - | 保留 |
| 24 | RMVF | 清除复位标志，由软件置'1'来清除复位标志。 0：无作用； 1：清除复位标志 |
| 23 | V18 pwrstf | 由 PORRSTF 驱动，由软件通过写 RMVF 位清除 PORRSTF 来清除 |
| 22:9 | - | 保留 |
| 8 | LPDS | LPDS：深睡眠下的低功耗 PDDS=0 时，与 PDDS 位协同操作 0：在停机模式下电压调压器开启 1：在停机模式下电压调压器处于低功耗模式 |
| 7:3 | - | 保留 |
| 2 | LSEON | LSEON：外部低速振荡器使能由软件置'1'或清'0' 0：外部 32.768Hz 振荡器关闭； 1：外部 32.768Hz 振荡器开启。 |
| 1 | LSIRDY | LSIRDY：内部低速振荡器就绪 (Internal low-speed oscillator ready) 由硬件置'1'或清'0'来指示内部 128kHz RC 振荡器是否就绪。 0：内部 128kHz RC 振荡器时钟未就绪； 1：内部 128kHz RC 振荡器时钟就绪。 |
| 0 | LSION | LSION：内部低速振荡器使能 (Internal low-speed oscillator enable) 由软件置'1'或清'0'。 0：内部 128kHz RC 振荡器关闭； 1：内部 128kHz RC 振荡器开启。 |

11 高级定时器（TIM1）

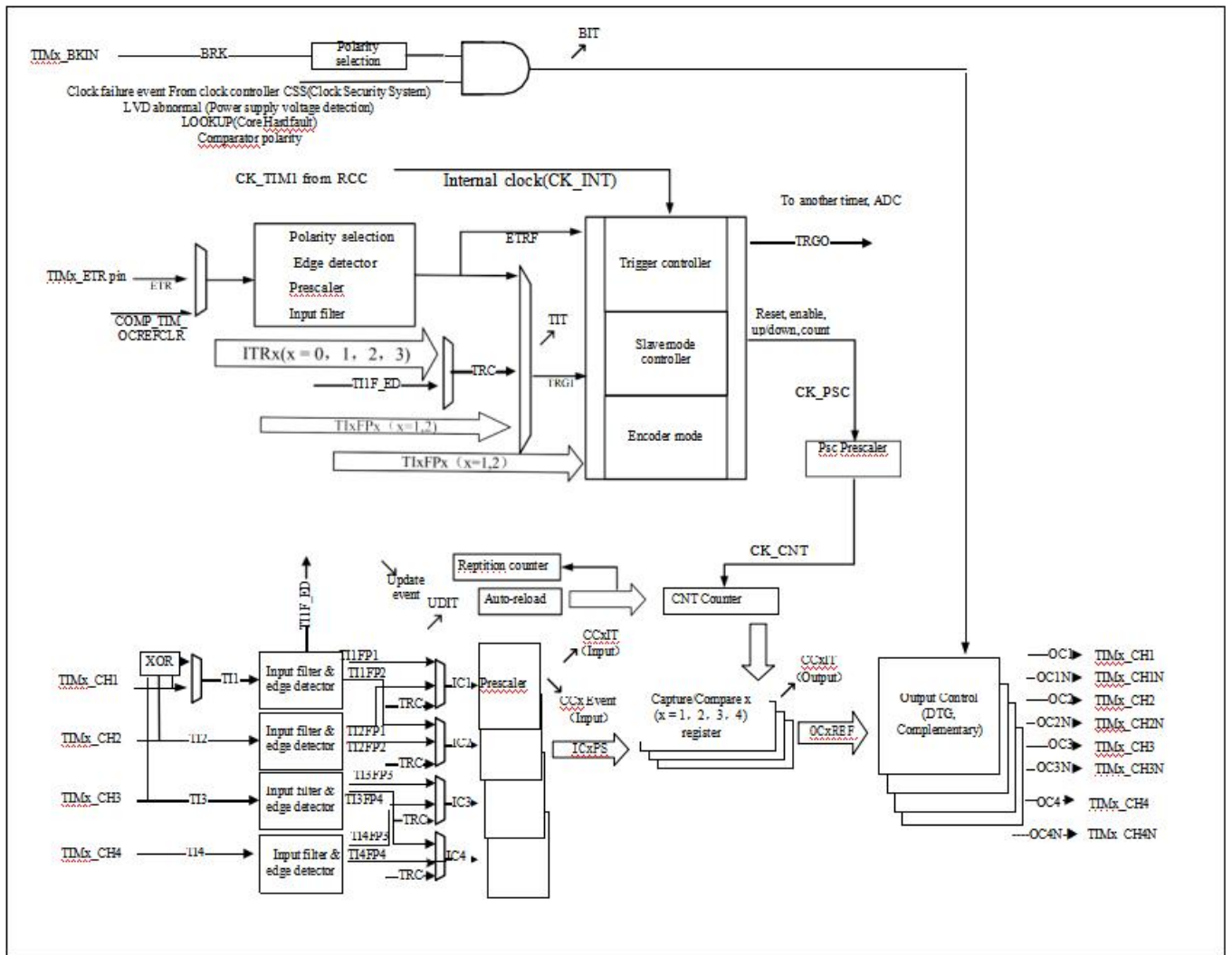
11.1 TIM1 简介

高级控制定时器（TIM1）由一个 16 位的自动装载计数器组成，它由一个可编程的预分频器驱动。它适合多种用途，包含测量输入信号的脉冲宽度（输入捕获），或者产生输出波形（输出比较、PWM、嵌入死区时间的互补 PWM 等）。使用定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期的调节。高级控制定时器（TIM1）和通用定时器（TIMx）是完全独立的，它们不共享任何资源。它们可以同步操作。

11.2 TIM1 主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- 最多 4 个独立通道：
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ PWM 生成(边缘或中央对齐模式)
- 死区时间可编程的互补输出

图 11-1 TIM1 框图



捕获通道 1 输入可以来自 IOM 或比较器输出

11.3 TIM1 功能描述

11.3.1 时基单元

TIM1 的时基单元主要包括：计数器寄存器 (TIM1_CNT)、预分频器寄存器 (TIM1_PSC)、自动预装载寄存器 (TIM1_ARR) 和重复计数器寄存器 (TIM1_RCR)。

计数单元由一个 16 位的计数器和对应的自动预装载寄存器组成，可以实现递增计数，递减计数，递增和递减计数的功能。

计数器的时钟由预分频器提供，预分频器由预分频计数器和对应的寄存器组成，分频系数为 1-65536，可以随时写入，在下次更新事件时生效。

自动预装载寄存器有预装载功能的 16 位影子寄存器，通过设置 TIM1_CR1 寄存器的 ARPE 位选择写入 ARR 寄存器的值立即生效或发生更新事件时载入影子寄存器。

TIMx_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

11.3.2 计数器模式

通过配置 TIM1_CR1 寄存器的 DIR 位和 CMS 位可以选择计数器的计数模式，可以分为三种计数模式，递增计数模式、递减计数模式和中央对齐计数模式（递增/递减计数模式）下面对每种计数模式做详细介绍。

11.3.2.1 向上计数模式

配置 TIM1_CR1 寄存器 CMS=0, DIR=0, 选择向上计数模式。

向上计数模式下，在使能 TIM1_CR1 寄存器的 CEN 后计数器由 0 开始向上计数，直至 TIM1_ARR 的值，产生一个计数器上溢事件（更新事件），并从 0 开始重新递增计数。当用户启用了重复计数功能，重复计数器在每次上溢事件时递减计数，只有当重复计数器从设定值递减到 0 时，才会产生更新事件。设置 IM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件。

通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

注：发生更新事件时

- 重复计数器被载入 RCR 寄存器中的值，并重新开始递减计数。
- ARR 寄存器中的值被载入 ARR 影子寄存器中。
- 预分频器的预装载值生效。

11.3.2.2 向下计数模式

配置 TIM1_CR1 寄存器的 CMS=0, DIR=1, 选择向下计数模式。

向下计数模式下，计数器从自动预装载值 TIM1_ARR 开始向下计数，计数到 0 时，产生一个下溢事件（更新事件）。当用户启用了重复计数功能后，重复计数器在每次下溢事件时递减计数，只有当重复计数器从设定值递减到 0 时，才会产生更新事件；设置 TIM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从自动预装载值 TIM1_ARR 开始重新递减计数（TIM1_CR1 寄存器 UDIS=0）。

通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从 TIM1_ARR 开始计数。

11.3.2.3 中央对齐模式

配置 TIM1_CR1 寄存器的 CMS≠0（此时写入 DIR 无效），选择中央对齐计数模式。

中央对齐计数模式，向上计数和向下计数交替进行。向上计数到 ARR-1 时，产生一个上溢事件，然后从 ARR 开始向下计数到 1，产生一个下溢事件，再从 0 开始向上计数。

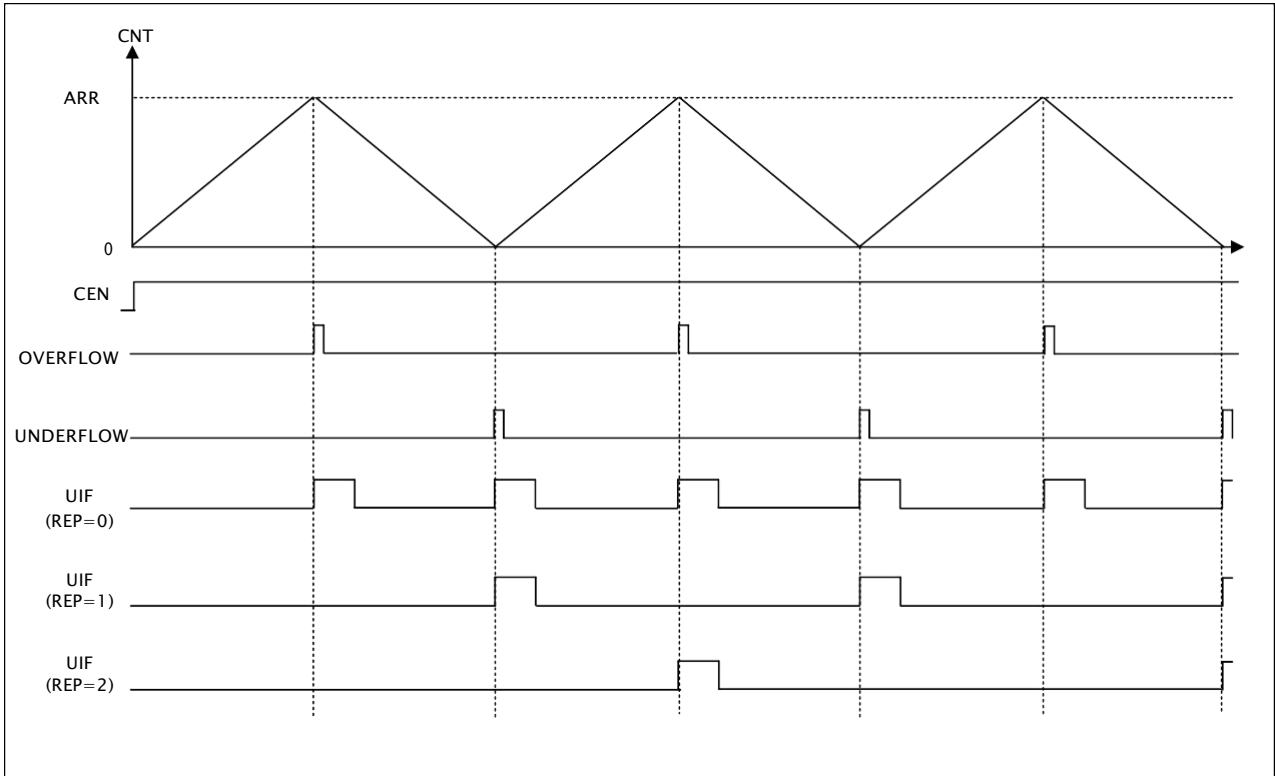
当用户启用了重复计数功能后，重复计数器在每次上溢事件或下溢事件时递减重复计数器值，只有当重复计数器从设定值递减到 0 时，才会产生更新事件；设置 TIM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从 0 开始重新递增计数（TIM1_CR1 寄存器 UDIS=0）。

通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢或下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始重新计数。

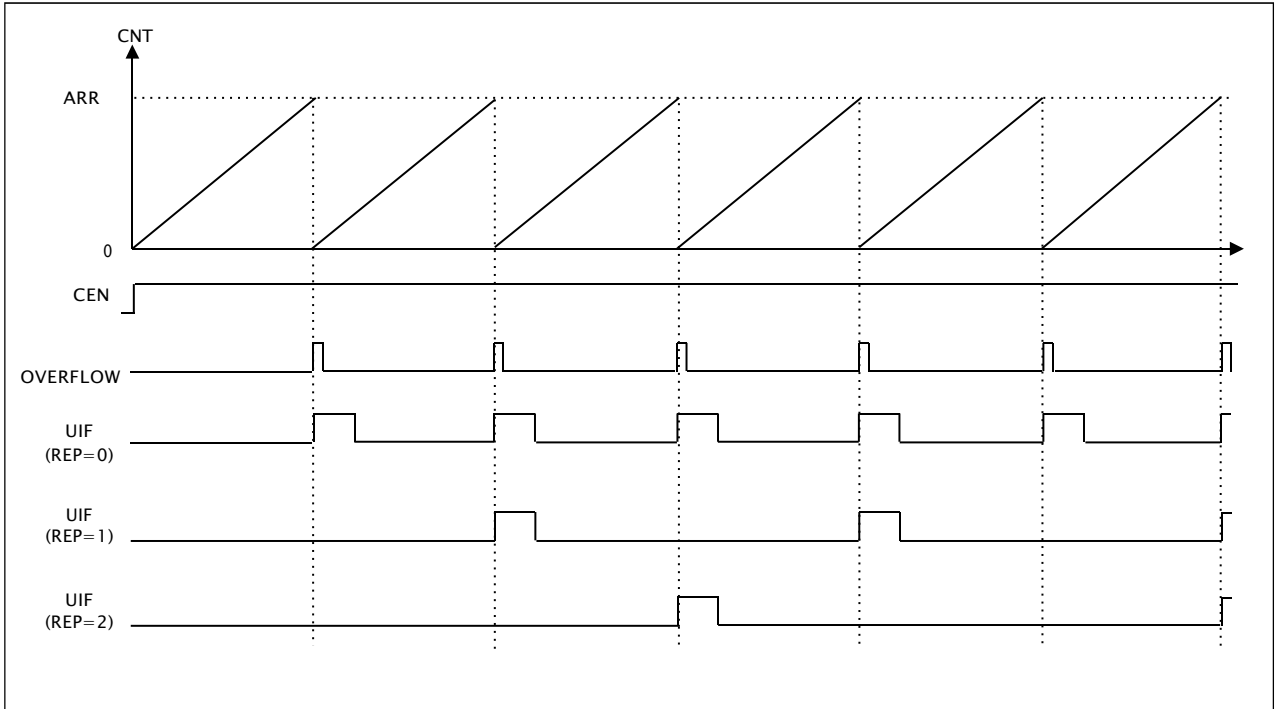
11.3.3 重复计数器

重复计数器可以用来调整更新事件产生的频率。边沿对齐模式下，向上计数时，重复计数器在计数器每次上溢时递减；向下计数时，重复计数器在计数器每次下溢时递减。中央对齐模式下，重复计数器在计数器上溢和下溢时皆递减。通过配置 TIM1_RCR 寄存器的 REP 来调整更新事件产生的频率，重复计数器在 REP+1 个计数周期后产生更新事件。在中央对齐模式下，更新事件在上溢还是在下溢时产生，由写入 REP 的值来决定。

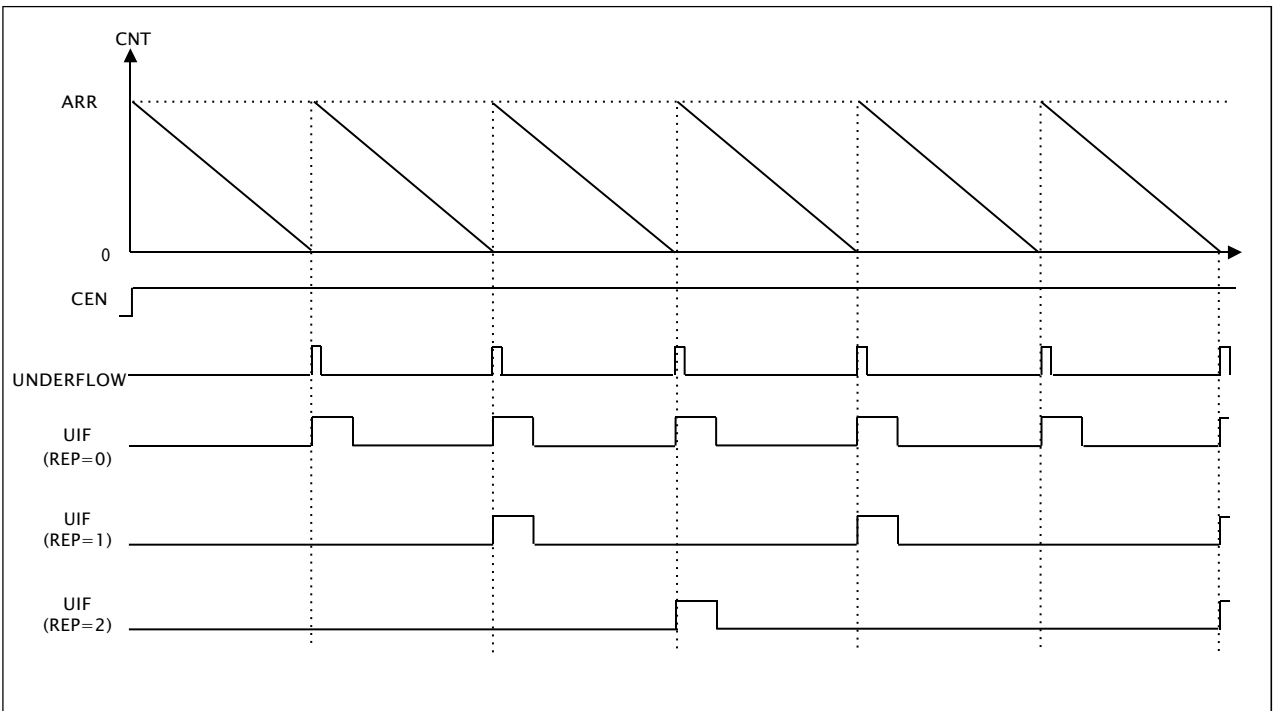
发生更新事件，REP 的值会更新至实时重复计数器 REP_CNT 中。允许对 REP_CNT 实时写入以实现更新事件发生时间点的灵活调整。



中央对齐模式重复计数时序图



边沿对齐模式向上计数时序图



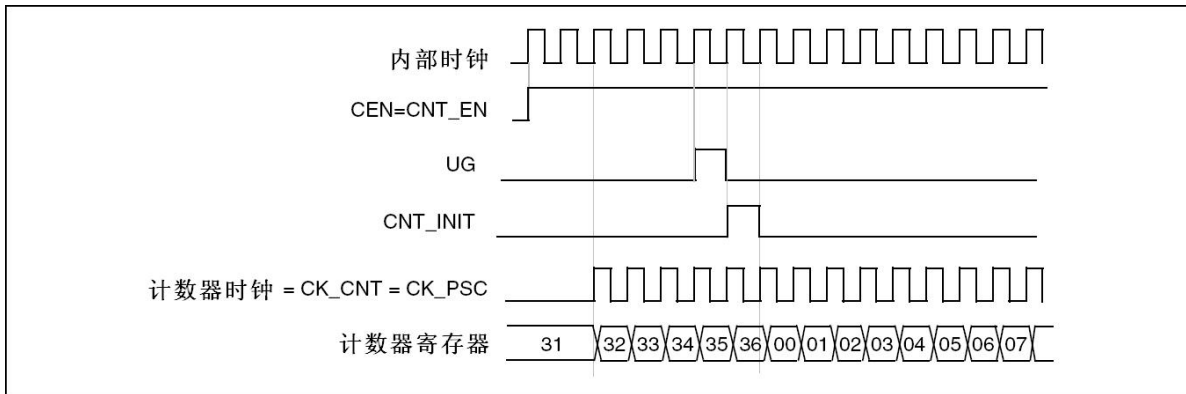
边沿对齐模式向下计数时序图

11.3.4 时钟源

定时器内部时钟：CK_INT

只要 CEN 位被写成'1'，预分频器的时钟就由内部时钟 CK_INT 提供。控制位为 CEN、DIR(TIMx_CR1 寄存器) 和 UG 位 (TIMx_EGR 寄存器)，并且只能被软件修改 (UG 位仍被自动清除)

下图显示控制电路和向上计数器在一般模式下，不带预分频器时的操作。一般模式下的控制电路，内部时钟分频因子为1。



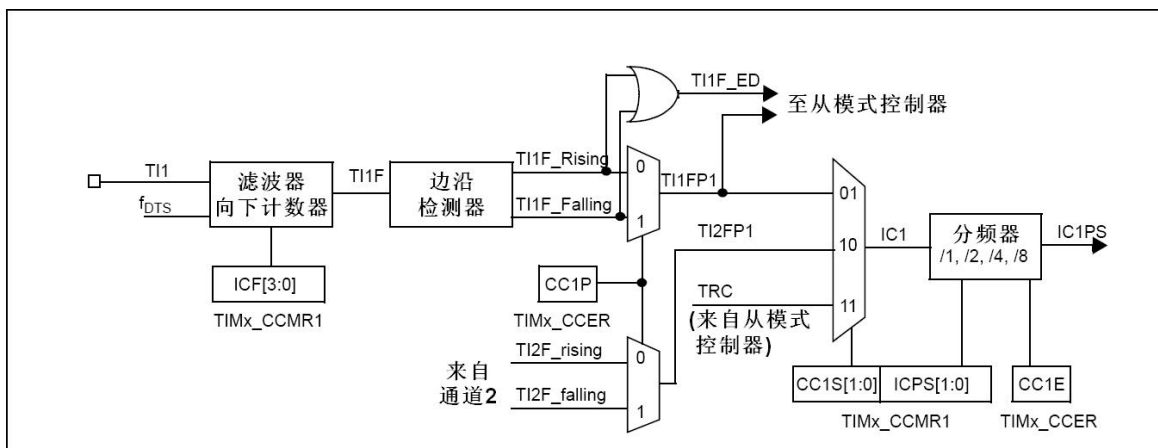
11.3.5 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器(包含影子寄存器)，包括捕获的输入部分(数字滤波、多路复用和预分频器)，和输出部分(比较器和输出控制)。

下图是一个捕获/比较通道概览。

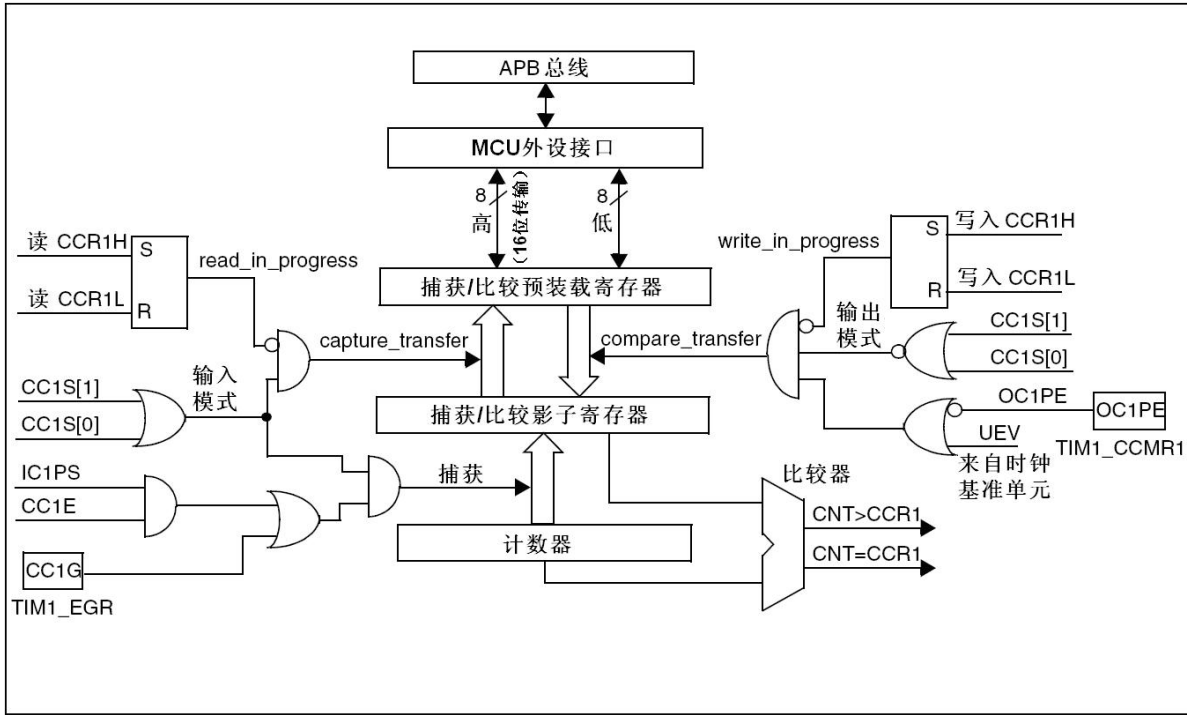
输入部分对相应的 TIx 输入信号采样，并产生一个滤波后的信号 TIxF。然后，一个带极性选择的边缘检测器产生一个信号(TIxFPx)，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器(ICxPS)。

捕获/比较通道(如：通道 1 输入部分)

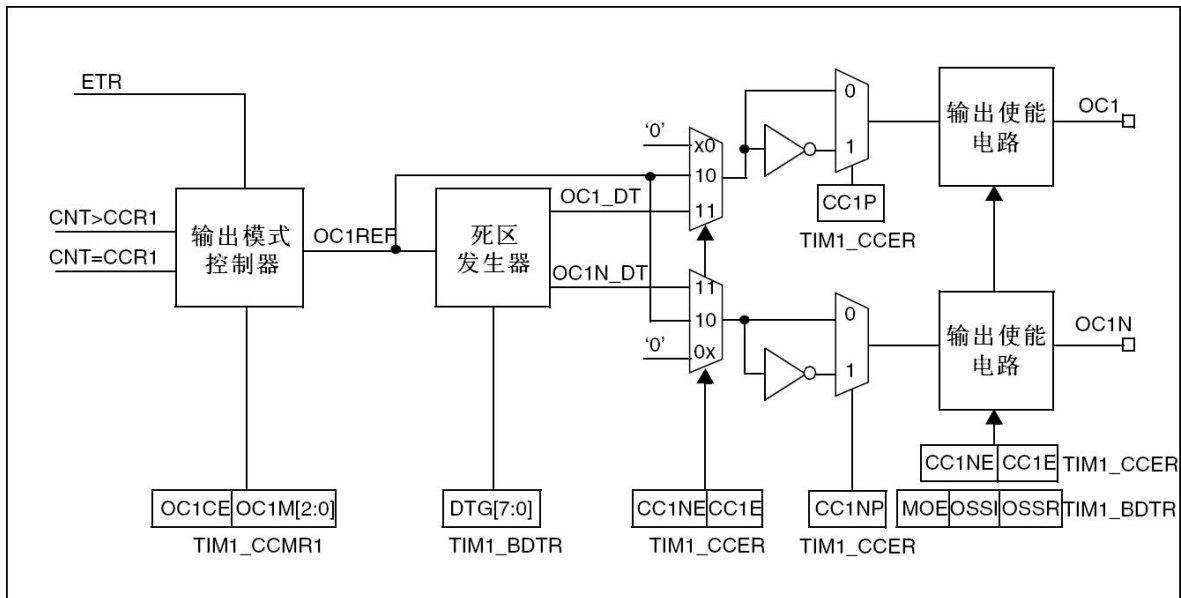


输出部分产生一个中间波形 OCxRef(高有效)作为基准，链的末端决定最终输出信号的极性。

捕获/比较通道 1 的主电路



捕获/比较通道的输出部分(通道 1 至 4)



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

11.3.6 输入捕获模式

输入捕获模式下，当检测到信号 ICx 上的有效边沿后，计数器的当前值被锁存到对应的影子寄存器上，再复制到对应的捕获比较寄存器中。当开启了中断使能，发生捕获事件时，将产生相应的中断请求。发生捕获事件时，会将状态寄存器 (TIM1_SR) 中的捕获标志位 CCxIF 置 1，通过配置 CCxIF=0 或读取 TIM1_CCRx 中的数据，清除 CCxIF 标志位。当 CCxIF 未被清零时，发生输入捕获事件，重复捕获标志位 CCxOF 将会被置 1，通过配置 CCxOF=0，可以清除 CCxOF 标志位。

例如，通过采样 TI1 输入信号的有效沿，在 TI1 的上升沿来到时捕获当前计数器的值，锁存到 TIM1_CCR1 寄存器中，步骤如下：

1. 配置 TIM1_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上。
2. 配置 TIM1_CCMR1 寄存器的 IC1F[3:0]，配置数字滤波器的滤波宽度（按需配置）。
3. 配置 TIM1_CCER 寄存器的 CC1P=0，选择捕获发生在 TI1 信号的上升沿。
4. 配置 TIM1_CCMR1 寄存器的 IC1PSC[1:0]，选择预分频系数。
5. 配置 TIM1_DIER 寄存器的 CC1IE=1，使能通道 1 的捕获/比较通道 1 中断请求。

注：

- 当通道配置为输入模式时，TIM1_CCRx 寄存器属性变为只读。
- 如果发生了两次以上连续捕获，但 CCxIF 标志未被清零，则重复捕获标志 CCxOF 被置 1。为了避免丢失重复捕获标志 CCxOF 置 1 之前可能产生的捕获信息，建议在读出重复捕获标志之前读取数据。
- 设置 TIM1_EGR 寄存器中相应的 CCxG 位，可以通过软件产生输入捕获中断请求。

11.3.7 输出比较模式

此项功能是用来控制一个输出波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式(TIMx_CCMRx 寄存器中的 OCxM 位)和输出极性(TIMx_CCER 寄存器中的 CCxP 位)定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平(OCxM=000)、被设置成有效电平(OCxM=001)、被设置成无效电平(OCxM=010)或进行翻转(OCxM=011)。
- 设置中断状态寄存器中的标志位(TIMx_SR 寄存器中的 CCxIF 位)。
- 若设置了相应的中断屏蔽(TIMx_DIER 寄存器中的 CCxIE 位)，则产生一个中断。

TIMx_CCMRx 中的 OCxPE 位选择 TIMx_CCRx 寄存器是否需要使用预装载寄存器。在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。

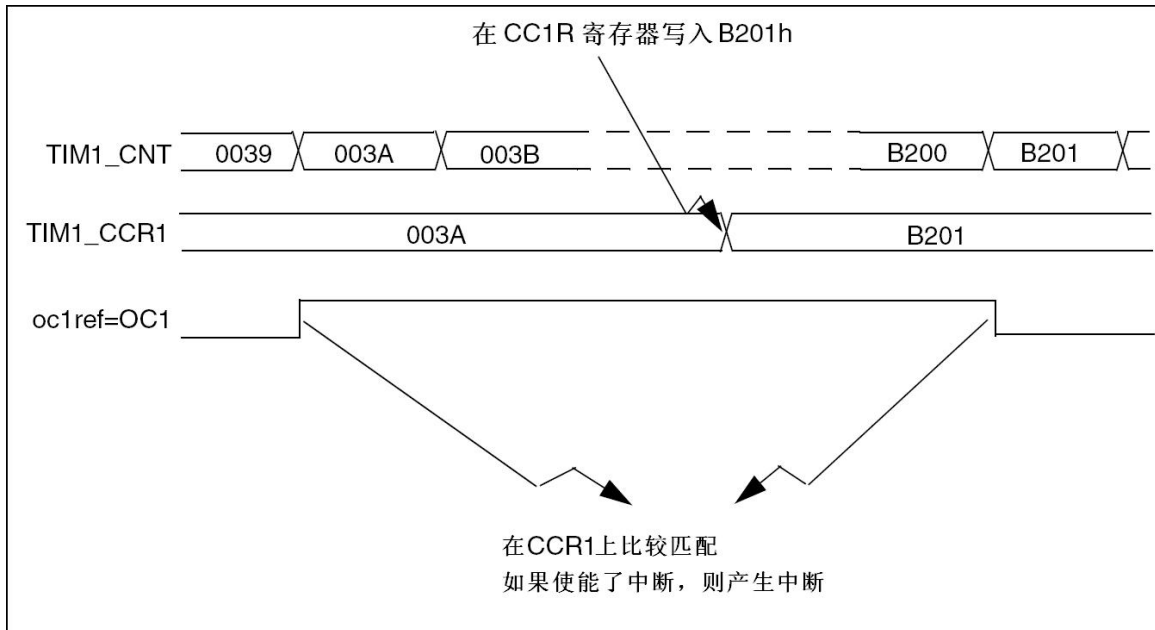
同步的精度可以达到计数器的一个计数周期。

输出比较模式的配置步骤：

1. 配置计数器时钟(内部，预分频器)。
2. 将相应的数据写入 TIMx_ARR 和 TIMx_CCRx 寄存器中。
3. 如果要产生一个中断请求，设置 CCxIE 位。
4. 选择输出模式，例如：
 - 要求计数器与 CCRx 匹配时翻转 OCx 的输出引脚，设置 OCxM=011
 - 置 OCxPE = 0 禁用预装载寄存器
 - 置 CCxP = 0 选择极性为高电平有效
 - 置 CCxE = 1 使能输出
5. 设置 TIMx_CR1 寄存器的 CEN 位启动计数器

TIMx_CCRx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器(OCxPE='0'，否则 TIMx_CCRx 的影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

图 11-3-7 输出比较模式，翻转 OC1



11.3.8 PWM 模式

在 PWM 模式下，根据 TIM1_ARR 寄存器和 TIM1_CCRx 寄存器的值，产生一个频率、占空比可控的 PWM 波形。

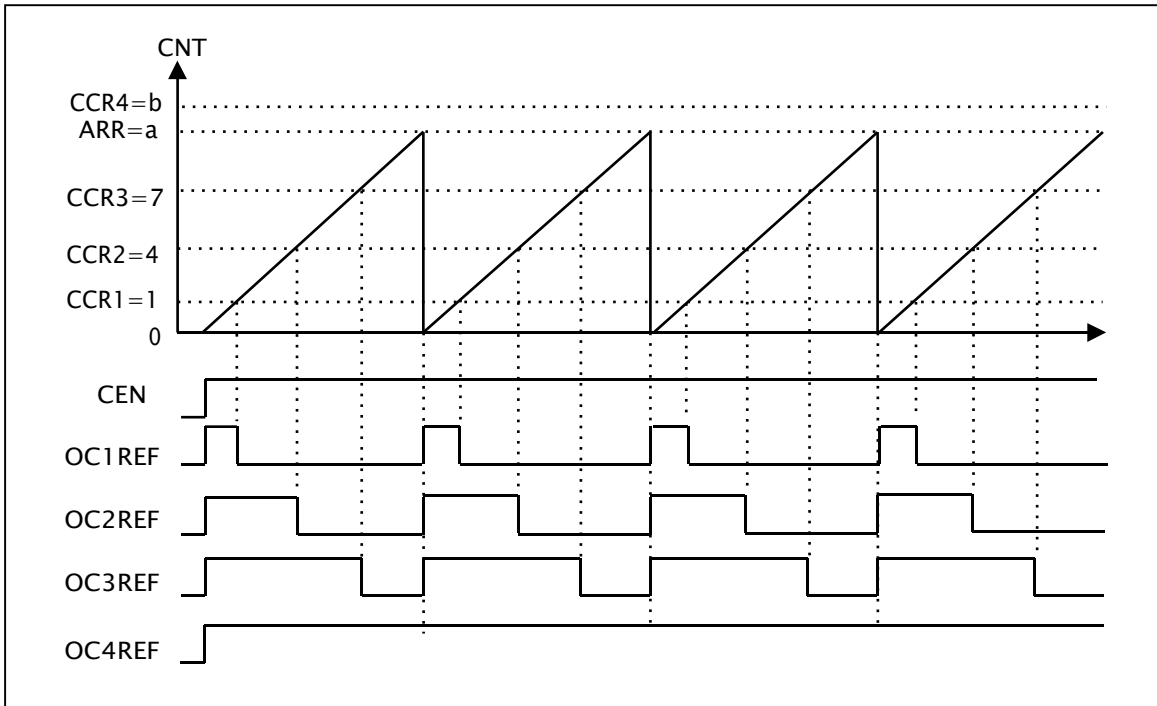
配置与通道 x 对应的 TIM1_CCMRx 寄存器的 OCxM=110 或 OCxM=111，选择通道 x 进入 PWM 模式 1 或 PWM 模式 2。PWM 模式下，计数器和 CCRx 会一直进行比较，根据配置和比较结果，通道 x 输出不同的信号，因此 TIM1 可以产生 4 个同频率下独立占空比的 PWM 输出信号。PWM 模式下可开启 TIM1_CCRx 的预装载功能和 TIM1_ARR 寄存器的预装载功能。写入 TIM1_CCRx 预装载寄存器和 TIM1_ARR 预装载寄存器的值在发生下个更新事件时，才会生效，载入相应的影子寄存器。PWM 模式下，使能计数器前设置 TIM1_EGR 的 UG=1，产生更新事件用于初始化所有的寄存器。

配置 TIM1_CCER 寄存器的 CCxP 选择 OCx 的有效极性。配置 TIM1_CCER 寄存器的 CCxE、CCxNE 位和 TIM1_BDTR 寄存器的 MOE、OSSI、OSSR 位控制 OCx 的输出使能。配置 TIM1_CR1 寄存器的 CMS 位，可以选择产生边沿对齐或中央对齐的 PWM 信号。

1. CMS=00，边沿对齐模式，再进一步配置 DIR，选择递增或递减计数模式。
2. CMS=01，中央对齐模式 1。
3. CMS=10，中央对齐模式 2。
4. CMS=11，中央对齐模式 3。

11.3.8.1 PWM 边沿对齐模式 -- 向上计数模式

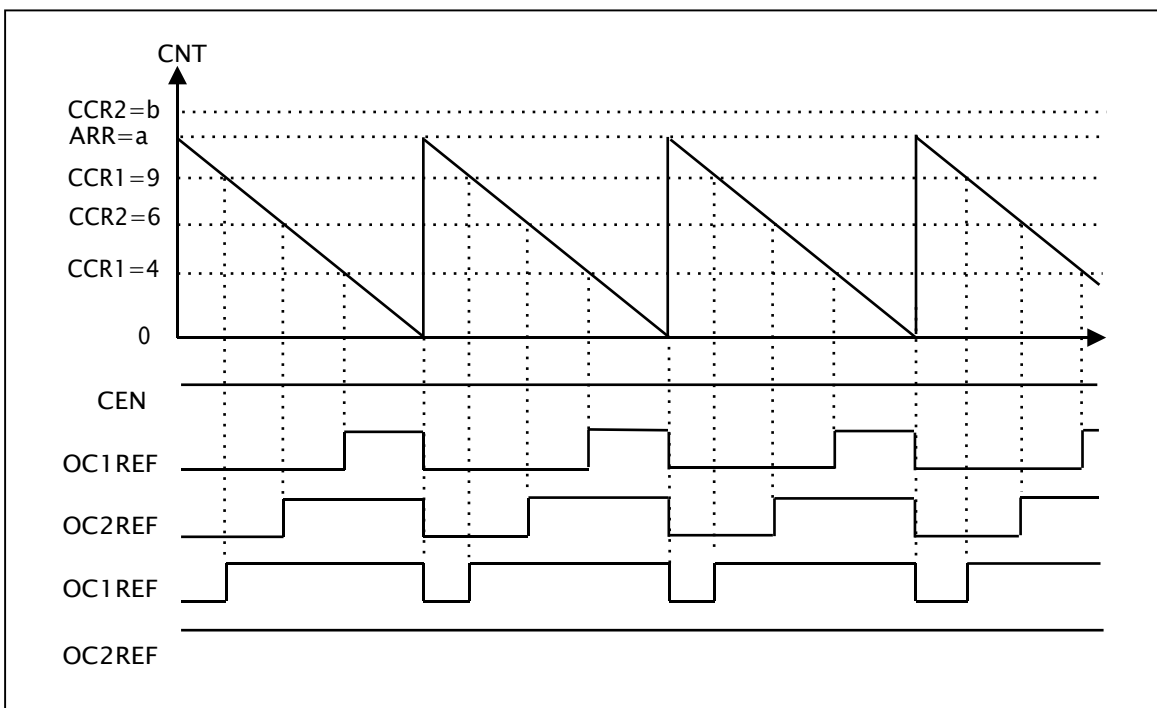
在向上计数模式配置的基础上，配置 TIM1_CCMRx 寄存器的 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1，当 TIM1_CNT < TIM1_CCRx 时通道 x (OCxREF) 为有效电平，否则为无效电平。如果 TIM1_CCRx 中的比较值大于自动重装载值 (TIM1_ARR)，则 OCxREF 保持为有效电平。如果比较值为 0，则 OCxREF 保持为无效电平。下图为 CCR1=1, CCR2=4, CCR3=7, CCR4=b, ARR=a 时边沿对齐向上计数时 PWM 模式 1 的波形实例。



边沿对齐向上计数时 PWM 模式1 的波形

11.3.8.2 PWM 边沿对齐模式 -- 向下计数模式

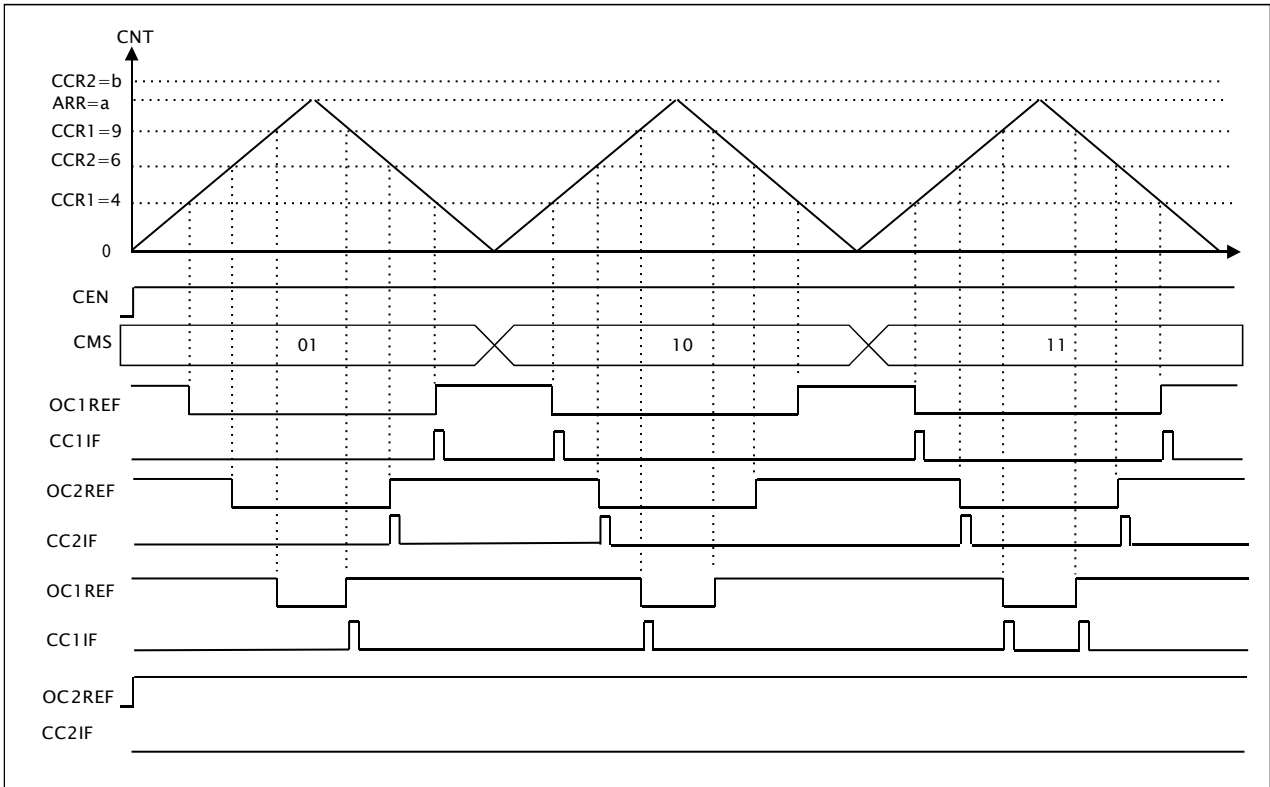
在向下计数模式配置的基础上，配置 TIM1_CCMRx 寄存器的 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1，当 TIM1_CNT > TIM1_CCRx 时通道 x (OCxREF) 为无效电平，否则有效电平。下图为 CCR1=4, CCR2=6, CCR1=9, CCR2=b, ARR=a 时边沿对齐向下计数时 PWM 模式 1 的波形实例



边沿对齐向下计数时 PWM 模式1 的波形

11.3.8.3 PWM 中央对齐模式

首先配置 TIM1 计数器为中央对齐计数模式，配置 TIM1_CCMRx 寄存器的 CCxS=00，选择输出模式，根据配置不同的 CMS，比较输出中断标志位在计数器向下计数时被设置（CMS=01）、在计数器向上计数时被设置（CMS=10）、或在计数器向上或向下计数时被设置（CMS=11）。下图为 CCR1=4，CCR2=6，CCR1=9，CCR2=b，ARR=a 时中央对齐 PWM 模式 1 的波形实例。



中央对齐 PWM 模式 1 的波形

11.3.9 互补输出和死区插入

高级控制定时器(TIM1)能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。

这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性(电平转换的延时、电源开关的延时等)来调整死区时间。

配置 TIMx_CCER 寄存器中的 CCxP 和 CCxNP 位，可以为每一个输出独立地选择极性(主输出 OCx 或互补输出 OCxN)。

互补信号 OCx 和 OCxN 通过下列控制位的组合进行控制:TIMx_CCER 寄存器的 CCxE 和 CCxNE 位, TIMx_BDTR 和 TIMx_CR2 寄存器中的 MOE、OISx、OISxN、OSSI 和 OSSR 位，详见表 75 带互补输出通道 OCx 和 OCxN 的控制位。同时设置 CCxE 和 CCxNE 位将插入死区，每一个通道都有一个 10 位的死区发生器。参考信号 OCxREF 可以产生 2 路输出 OCx 和 OCxN。如果 OCx 和 OCxN 为高有效：

- OCx 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。
- OCxN 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。

如果延迟大于当前有效的输出宽度(OCx 或者 OCxN)，则不会产生相应的脉冲。

下列几张图显示了死区发生器的输出信号和当前参考信号 OCxREF 之间的关系。(假设 CCxP=0、CCxNP=0、MOE=1、CCxE=1 并且 CCxNE=1)

图 11-3-9-1 带死区插入的互补输出

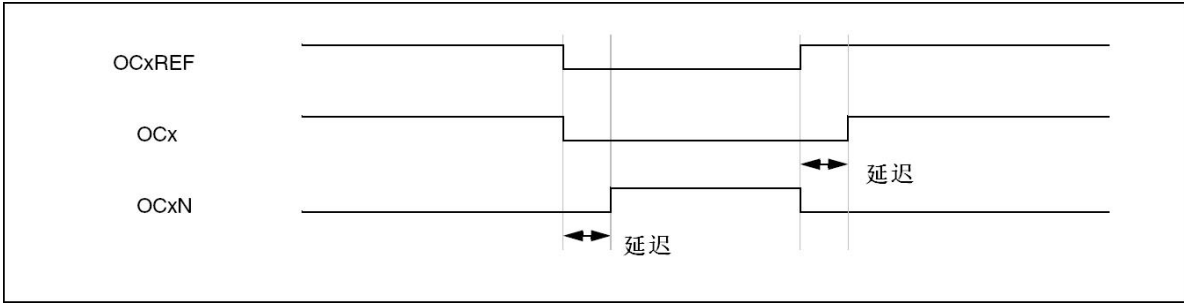


图 11-3-9-2 死区波形延迟大于负脉冲

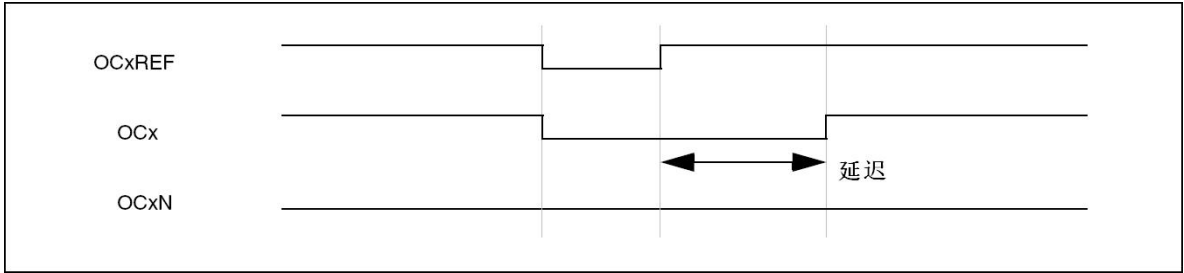
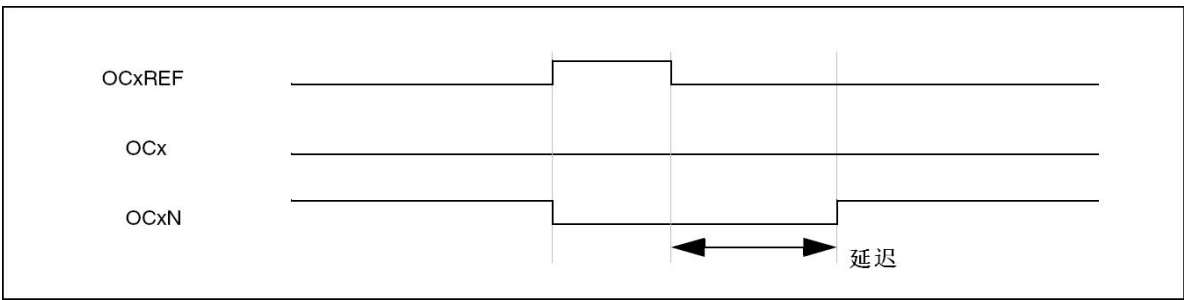


图 11-3-9-3 死区波形延迟大于正脉冲



每一个通道的死区延时都是相同的,是由 TIMx_BDTR 寄存器中的 DTG 位编程配置。详见死区寄存器(TIMx_DTR)中的延时计算。

11.4 定时器 1 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|-------------|--------------|--------|
| 0x00 | TIM1_CR1 | 控制寄存器 1 | 0x0000 |
| 0x04 | TIM1_CR2 | 控制寄存器 2 | 0x0000 |
| 0x08 | TIM1_SMCR | 从模式控制寄存器 | 0x0000 |
| 0x0C | TIM1_DIER | 中断使能寄存器 | 0x0000 |
| 0x10 | TIM1_SR | 状态寄存器 | 0x0000 |
| 0x14 | TIM1_EGR | 事件产生寄存器 | 0x0000 |
| 0x18 | TIM1_CCMR1 | 捕获/比较模式寄存器 1 | 0x0000 |
| 0x1C | TIM1_CCMR2 | 捕获/比较模式寄存器 2 | 0x0000 |
| 0x20 | TIM1_CCER | 捕获/比较使能寄存器 | 0x0000 |
| 0x24 | TIM1_CNT | 计数器 | 0x0000 |
| 0x28 | TIM1_PSC | 预分频率器 | 0x0000 |
| 0x2C | TIM1_ARR | 自动装载寄存器 | 0x0000 |
| 0x30 | TIM1_RCR | 重复计数寄存器 | 0x0000 |
| 0x34 | TIM1_CCR1 | 捕获/比较寄存器 1 | 0x0000 |
| 0x38 | TIM1_CCR2 | 捕获/比较寄存器 2 | 0x0000 |
| 0x3C | TIM1_CCR3 | 捕获/比较寄存器 3 | 0x0000 |
| 0x40 | TIM1_CCR4 | 捕获/比较寄存器 4 | 0x0000 |
| 0x44 | TIM1_DTR | 死区寄存器 | 0x0000 |
| 0x50 | TIM1_CH1SEL | 通道 1 PIN 脚选择 | 0x0000 |
| 0x54 | TIM1_CH2SEL | 通道 2 PIN 脚选择 | 0x0000 |
| 0x58 | TIM1_CH3SEL | 通道 3 PIN 脚选择 | 0x0000 |
| 0x5C | TIM1_CH4SEL | 通道 4 PIN 脚选择 | 0x0000 |

11.4.1 TIM1 控制寄存器 1 (TIM1_CR1)

偏移地址: 0x00

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----------|------|----------|-----|-----|-----|------|-----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | CKD[1:0] | ARPE | CMS[1:0] | DIR | OPM | URS | UDIS | CEN | | |
| | | | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|------|--|
| 15:10 | - | 保留 |
| 9:8 | CKD | CKD[1:0]: 时钟分频因子 (Clock division) 这 2 位定义在定时器时钟(CK_INT)频率、死区时间和由死区发生器与数字滤波器(TIMx)所用的采样时钟之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留, 不要使用这个配置 |
| 7 | ARPE | ARPE: 自动重载预装载允许位 (Auto-reload preload enable) 0: TIMx_ARR 寄存器没有缓冲; 1: TIMx_ARR 寄存器被装入缓冲器。 |
| 6:5 | CMS | CMS[1:0]: 选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位(DIR)向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道(TIMx_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 |

| | | |
|---|------|--|
| | | (TIMx_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 在计数器向上和向下计数时均被设置。 注: 在计数器开启时(CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。 |
| 4 | DIR | DIR:方向 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。 |
| 3 | OPM | OPM: 单脉冲模式 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件(清除 CEN 位)时, 计数器停止。 |
| 2 | URS | URS: 更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源 0: 如果使能了更新中断请求, 则下述任一事件产生更新中断请求: - 计数器溢出/下溢 - 设置 UG 位 - 从模式控制器产生的更新 1: 如果使能了更新中断请求, 则只有计数器溢出/下溢才产生更新中断请求。 |
| 1 | UDIS | UDIS: 禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新(UEV)事件由下述任一事件产生: - 计数器溢出/下溢 - 设置 UG 位 - 从模式控制器产生的更新 具有缓存的寄存器被装入它们的预装载值。(译注: 更新影子寄存器) 1: 禁止 UEV。不产生更新事件, 影子寄存器(ARR、PSC、CCRx)保持它们的值。如果设置了 UG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。 |
| 0 | CEN | CEN: 使能计数器 (Counter enable)0: 禁止计数器; 1: 使能计数器。 注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。 |

11.4.2 TIM1 控制寄存器 2 (TIM1_CR2)

偏移地址: 0x04

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------|------|-------|------|-------|------|-------|------|------|----|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OIS4N | OIS4 | OIS3N | OIS3 | OIS2N | OIS2 | OIS1N | OIS1 | TIIS | 保留 | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | | | | | | | |

| 位域 | 名称 | 描述 |
|----|-------|--------------------------------------|
| 15 | OIS4N | OIS4N: 输出空闲状态 4(OC4N 输出)。参见 OIS1N 位。 |
| 14 | OIS4 | OIS4: 输出空闲状态 4(OC4 输出)。参见 OIS1 位。 |
| 13 | OIS3N | OIS3N: 输出空闲状态 3(OC3N 输出)。参见 OIS1N 位。 |
| 12 | OIS3 | OIS3: 输出空闲状态 3(OC3 输出)。参见 OIS1 位。 |
| 11 | OIS2N | OIS2N: 输出空闲状态 2(OC2N 输出)。参见 OIS1N 位。 |

| | | |
|------|-------|---|
| 10 | OIS2 | OIS2: 输出空闲状态 2(OC2 输出)。参见 OIS1 位。 |
| 9 | OIS1N | OIS1N: 输出空闲状态 1(OC1N 输出) (Output Idle state 1)0: 当 MOE=0 时, 死区后 OC1N=0; 1: 当 MOE=0 时, 死区后 OC1N=1。 注: 已经设置了 LOCK(TIMx_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。 |
| 8 | OIS1 | OIS1: 输出空闲状态 1(OC1 输出) (Output Idle state 1)0: 当 MOE=0 时, 如果实现了 OC1N, 则死区后 OC1=0; 1: 当 MOE=0 时, 如果实现了 OC1N, 则死区后 OC1=1。 注: 已经设置了 LOCK(TIMx_BKR 寄存器)级别 1、2 或 3 后, 该位不能被修改。 |
| 7 | TI1S | TI1S: TI1 选择 (TI1 selection) 0: TIMx_CH1 引脚连到 TI1 输入; 1: TIMx_CH1、TIMx_CH2 和 TIMx_CH3 引脚经异或后连到 TI1 输入。 |
| 6: 0 | - | 保留 |

11.4.3 TIM1 从模式控制寄存器(TIM1_SMCR)

偏移地址: 0x08

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-----|-----|-----------|-----|----------|-----|-----|-----|---------|-----|-----|----------|-----|-----|-----|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ETP | ECE | ETPS[1:0] | | ETF[3:0] | | | MSM | TS[2:0] | | 保留 | SMS[2:0] | | | | |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |

| 位域 | 名称 | 描述 |
|-------|------|---|
| 15 | ETP | ETP: 外部触发极性 (External trigger polarity) 该位选择是用 ETR 还是 ETR 的反相来作为触发操作 0: ETR 不反相, 高电平或上升沿有效; 1: ETR 被反相, 低电平或下降沿有效。 |
| 14 | ECE | ECE: 外部时钟使能位 (External clock enable) 该位启用外部时钟模式 2 0: 禁止外部时钟模式 2; 1: 使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动。 注 1: 设置 ECE 位与选择外部时钟模式 1 并将 TRGI 连到 ETRF(SMS=111 和 TS=111)具有相同功效。 注 2: 下述从模式可以与外部时钟模式 2 同时使用: 复位模式, 门控模式和触发模式; 但是, 这时 TRGI 不能连到 ETRF(TS 位不能是'111')。 注 3: 外部时钟模式 1 和外部时钟模式 2 同时被使能时, 外部时钟的输入是 ETRF。 |
| 13:12 | ETPS | ETPS[1:0]: 外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多是 TIMxCLK 频率的 1/4。当输入较快的外部时钟时, 可以使用预分频降低 ETRP 的频率。 00: 关闭预分频; 01: ETRP 频率除以 2; 10: ETRP 频率除以 4; 11: ETRP 频率除以 8。 |
| 11:8 | ETF | ETF[3:0]: 外部触发滤波 (External trigger filter) 这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 它记录到 N 个事件后会产生一个输出的跳变。 0000: 无滤波器, 以 fDTS 采样 1000: 采样频率 fSAMPLING=fDTS/8, N=6 0001: 采样频率 fSAMPLING=fCK_INT, N=2 1001: 采样频率 fSAMPLING=fDTS/8, N=8 0010: 采样频率 fSAMPLING=fCK_INT, N=4 1010: 采样频率 fSAMPLING=fDTS/16, N=5 |

| | | |
|-----|-----|---|
| | | 0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, $N=8$ 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, $N=6$ 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, $N=6$ 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, $N=8$ 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, $N=8$ 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, $N=5$ 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, $N=6$ 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, $N=6$ 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, $N=8$ 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, $N=8$ |
| 7 | MSM | MSM: 主/从模式 (Master/slave mode) 0: 无作用; 1: 触发输入(TRGI)上的事件被延迟了, 以允许在当前定时器(通过 TRGO)与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。 |
| 6:4 | TS | TS[2:0]: 触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。 000: 内部触发 0(ITR0) 100: TI1 的边沿检测器(TI1F_ED) 001: 内部触发 1(ITR1) 101: 滤波后的定时器输入 1(TI1FP1) 010: 内部触发 2(ITR2) 110: 滤波后的定时器输入 2(TI2FP2) 011: 内部触发 3(ITR3) 111: 外部触发输入(ETRF) 注: 这些位只能在未用到(如 SMS=000)时被改变, 以避免在改变时产生错误的边沿检测。 |
| 3 | - | 保留。 |
| 2:0 | SMS | SMS[2:0]: 从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号(TRGI)的有效边沿与选中的外部输入极性相关(见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 – 如果 CEN=1, 则预分频器直接由内部时钟驱动。 001: 编码器模式 1 – 根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿向上/下计数。 010: 编码器模式 2 – 根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿向上/下计数。 011: 编码器模式 3 – 根据另一个信号的输入电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。 100: 复位模式 – 选中的触发输入(TRGI)的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。 101: 门控模式 – 当触发输入(TRGI)为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止(但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动(但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式 1 – 选中的触发输入(TRGI)的上升沿驱动计数器。 注: 如果 TI1F_EN 被选为触发输入(TS=100)时, 不要使用门控模式。这是因为, TI1F_ED 在每次 TI1F 变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。 |

11.4.3 TIM1 中断使能寄存器(TIM1_DIER)

偏移地址: 0x0C

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|---|---|---|-------|-------|-------|-------|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | CC4IE | CC3IE | CC2IE | CC1IE | UIE |
| | | | | | | | | | | | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-------|--|
| 15:5 | - | 保留 |
| 4 | CC4IE | CC4IE: 允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较 4 中断; 1: 允许捕获/比较 4 中断。 |
| 3 | CC3IE | CC3IE: 允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较 3 中断; 1: 允许捕获/比较 3 中断。 |
| 2 | CC2IE | CC2IE: 允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断。 |
| 1 | CC1IE | CC1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。 |
| 0 | UIE | UIE: 允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。 |

11.4.4 TIM1 状态寄存器(TIM1_SR)

偏移地址: 0x10

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|-------|-------|-------|-------|----|---|---|---|---|-------|-------|-------|-------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | CC4OF | CC3OF | CC2OF | CC1OF | 保留 | | | | | CC4IF | CC3IF | CC2IF | CC1IF | UIF |
| | | rc w0 | rc w0 | rc w0 | rc w0 | | | | | | rc w0 | rc w0 | rc w0 | rc w0 | rc w0 |

| 位域 | 名称 | 描述 |
|-------|-------|---|
| 15:13 | - | 保留 |
| 12 | CC4OF | CC4OF: 捕获/比较 4 重复捕获标记 (Capture/Compare 4 overcapture flag) 参见 CC1OF 描述。 |
| 11 | CC3OF | CC3OF: 捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag) 参见 CC1OF 描述。 |
| 10 | CC2OF | CC2OF: 捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 CC1OF 描述。 |
| 9 | CC1OF | CC1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到 TIMx_CCR1 寄存器时, CC1IF 的状态已经为'1'。 |
| 8:5 | - | 保留 |
| 4 | CC4IF | CC4IF: 捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag) 参考 CC1IF 描述。 |
| 3 | CC3IF | CC3IF: 捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag) |

| | | |
|---|-------|---|
| | | 参考 CC1IF 描述。 |
| 2 | CC2IF | CC2IF: 捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 CC1IF 描述。 |
| 1 | CC1IF | CC1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置 1, 但在中心对称模式下除外(参考 TIMx_CR1 寄存器的 CMS 位)。它由软件清'0'。 0: 无匹配发生; 1: TIMx_CNT 的值与 TIMx_CCR1 的值匹配。 当 TIMx_CCR1 的内容大于 TIMx_APR 的内容时, 在向上或向上/下计数模式时计数器溢出, 或向下计数模式时的计数器下溢条件下, CC1IF 位变高 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读 TIMx_CCR1 清'0'。 0: 无输入捕获产生; 1: 计数器值已被捕获(拷贝)至 TIMx_CCR1(在 IC1 上检测到与所选极性相同的边沿)。 |
| 0 | UIF | UIF: 更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置'1'。它由软件清'0'。 0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': (1) 若 TIMx_CR1 寄存器的 UDIS=0, 当重复计数器数值上溢或下溢时(重复计数器=0 时产生更新事件)。 (2) 若 TIMx_CR1 寄存器的 URS=0、UDIS=0, 当设置 TIMx_EGR 寄存器的 UG=1 时产生更新事件, 通过软件对计数器 CNT 重新初始化时。 (3) 若 TIMx_CR1 寄存器的 URS=0、UDIS=0, 当计数器 CNT 被触发事件重新初始化时。 |

11.4.5 TIM1 事件产生寄存器(TIM1_EGR)

偏移址: 0x14

复值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|---|---|---|------|------|------|------|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | CC4G | CC3G | CC2G | CC1G | UG |
| | | | | | | | | | | | w | w | w | w | w |

| 位域 | 名称 | 描述 |
|------|------|--|
| 15:5 | - | 保留 |
| 4 | CC4G | CC4G: 产生捕获/比较 4 事件 (Capture/Compare 4 generation) 参考 CC1G 描述。 |
| 3 | CC3G | CC3G: 产生捕获/比较 3 事件 (Capture/Compare 3 generation) 参考 CC1G 描述。 |
| 2 | CC2G | CC2G: 产生捕获/比较 2 事件 (Capture/Compare 2 generation) 参考 CC1G 描述。 |
| 1 | CC1G | CC1G: 产生捕获/比较 1 事件 (Capture/Compare 1 generation) 该位由软件置'1', 用于产生一个捕获/比较事件, 由硬件自动清'0'。 0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出: 设置 CC1IF=1, 若开启对应的中断, 则产生相应的中断。若通道 CC1 配置为输入: 当前的计数器值被捕获至 TIMx_CCR1 寄存器; 设置 CC1IF=1, 若开启对应的中断, 则 |

| | | |
|---|----|---|
| | | 产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF=1。 |
| 0 | UG | UG：产生更新事件 (Update generation)该位由软件置'1'，由硬件自动清'0'。 0：无动作； 1：重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清'0'(但是预分频系数不变)。若在中心对称模式下或 DIR=0(向上计数)则计数器被清'0'；若 DIR=1(向下计数)则计数器取 TIMx_ARR 的值。 |

11.4.6 TIM1 捕获/比较模式寄存器 1(TIM1_CCMR1)

偏移地址：0x18

复位值：0x0000

通道可用于输入(捕获模式)或输出(比较模式)，通道的方向由相应的 CCxS 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

| | | | | | | | | | | | | | | | |
|-----------|-----------|----|-------------|-------|-------|-----------|----|-----------|-----------|----|-------------|-------|-------|-----------|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | OC2M[2:0] | | | OC2PE | OC2FE | CC2S[1:0] | | 保留 | OC1M[2:0] | | | OC1PE | OC1FE | CC1S[1:0] | |
| IC2F[3:0] | | | IC2PSC[1:0] | | | | | IC1F[3:0] | | | IC1PSC[1:0] | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

输出比较模式：

| 位域 | 描述 |
|-------|---|
| 15 | 保留 |
| 14:12 | OC2M[2:0]: 输出比较 2 模式 (Output Compare 2 mode) |
| 11 | OC2PE: 输出比较 2 预装载使能 (Output Compare 2 preload enable) |
| 10 | OC2FE: 输出比较 2 快速使能 (Output Compare 2 fast enable) |
| 9:8 | CC2S[1:0]: 捕获/比较 2 选择。(Capture/Compare 2 selection)该位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC2S 仅在通道关闭时(TIMx_CCER 寄存器的 CC2E=0)才是可写的。 |
| 7 | 保留 |
| 6:4 | OC1M[2:0]: 输出比较 1 模式 (Output Compare 1 mode) 该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1、OC1N 的值。OC1REF 是高电平有效, 而 OC1、OC1N 的有效电平取决于 CC1P、CC1NP 位。 000: 冻结。输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 间的比较对 OC1REF 不起作用; 001: 匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1)相同时, 强制 OC1REF 为高。 010: 匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1)相同时, 强制 OC1REF 为低 011: 翻转。当 TIMx_CCR1=TIMx_CNT 时, 翻转 OC1REF 的电平。 100: 强制为无效电平。强制 OC1REF 为低。 101: 强制为有效电平。强制 OC1REF 为高。 110: PWM 模式 1—在向上计数时, 一旦 TIMx_CNT<TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平; 在向下计数时, 一旦 TIMx_CNT>TIMx_CCR1 时通道 1 为无效电平(OC1REF=0), 否则为有效电平(OC1REF=1)。 111: PWM 模式 2—在向上计数时, 一旦 TIMx_CNT<TIMx_CCR1 时通道 1 为无效电平, 否则为有效电平; 在向下计数时, 一旦 TIMx_CNT>TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平。 注 1: |

| | |
|-----|---|
| | 一旦 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位)并且 CC1S=00(该通道配置成输出)则该位不能被修改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。 |
| 3 | OC1PE: 输出比较 1 预装载使能 (Output Compare 1 preload enable) 0: 禁止 TIMx_CCR1 寄存器的预装载功能, 可随时写入 TIMx_CCR1 寄存器, 并且新写入的数值立即起作用。 1: 开启 TIMx_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIMx_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中。 注 1: 一旦 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位)并且 CC1S=00(该通道配置成输出)则该位不能被修改。 注 2: 仅在单脉冲模式下(TIMx_CR1 寄存器的 OPM=1), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。 |
| 2 | OC1FE: 输出比较 1 快速使能 (Output Compare 1 fast enable) 该位用于加快 CC 输出对触发输入事件的响应。 0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 OCFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用。 |
| 1:0 | CC1S[1:0]: 捕获/比较 1 选择。(Capture/Compare 1 selection)这 2 位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC1S 仅在通道关闭时(TIMx_CCER 寄存器的 CC1E=0)才是可写的。 |

输入捕获模式:

| 位域 | 描述 |
|-------|---|
| 15:12 | IC2F[3:0]: 输入捕获 2 滤波器 (Input capture 2 filter) |
| 11:10 | IC2PSC[1:0]: 输入/捕获 2 预分频器 (Input capture 2 prescaler) |
| 9:8 | CC2S[1:0]: 捕获/比较 2 选择 (Capture/Compare 2 selection)这 2 位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC2S 仅在通道关闭时(TIMx_CCER 寄存器的 CC2E=0)才是可写的。 |
| 7:4 | IC1F[3:0]: 输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2 0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4 0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8 |
| 3:2 | IC1PSC[1:0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入(IC1)的预分频系数。 |

| | |
|-----|---|
| | 一旦 CC1E=0(TIMx_CCER 寄存器中), 则预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每 2 个事件触发一次捕获; 10: 每 4 个事件触发一次捕获; 11: 每 8 个事件触发一次捕获。 |
| 1:0 | CC1S[1:0]: 捕获/比较 1 选择 (Capture/Compare 1 Selection)这 2 位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC1S 仅在通道关闭时(TIMx_CCER 寄存器的 CC1E=0)才是可写的。 |

11.4.7 TIM1 捕获/比较模式寄存器 2 (TIM1_CCMR2)

偏移地址: 0x1C

复位值: 0x0000

参看以上 CCMR1 寄存器的描述

| | | | | | | | | | | | | | | | |
|-----------|-----------|----|----|-------------|-------|-----------|----|-----------|-----------|----|----|-------------|-------|-----------|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | OC4M[2:0] | | | OC4PE | OC4FE | CC4S[1:0] | | 保留 | OC3M[2:0] | | | OC3PE | OC3FE | CC3S[1:0] | |
| IC4F[3:0] | | | | IC4PSC[1:0] | | CC4S[1:0] | | IC3F[3:0] | | | | IC3PSC[1:0] | | CC3S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

输出比较模式:

| 位域 | 描述 |
|-------|---|
| 15 | 保留 |
| 14:12 | OC4M[2:0]: 输出比较 4 模式 (Output compare 4 mode) |
| 11 | OC4PE: 输出比较 4 预装载使能 (Output compare 4 preload enable) |
| 10 | OC4FE: 输出比较 4 快速使能 (Output compare 4 fast enable) |
| 9:8 | CC4S[1:0]: 捕获/比较 4 选择 (Capture/Compare 4 selection)该 2 位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出; 01: CC4 通道被配置为输入, IC4 映射在 TI4 上; 10: CC4 通道被配置为输入, IC4 映射在 TI3 上; 11: CC4 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC4S 仅在通道关闭时(TIMx_CCER 寄存器的 CC4E=0)才是可写的。 |
| 7 | 保留 |
| 6:4 | OC3M[2:0]: 输出比较 3 模式 (Output compare 3 mode) |
| 3 | OC3PE: 输出比较 3 预装载使能 (Output compare 3 preload enable) |
| 2 | OC3FE: 输出比较 3 快速使能 (Output compare 3 fast enable) |
| 1:0 | CC3S[1:0]: 捕获/比较 3 选择 (Capture/Compare 3 selection)这 2 位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出; 01: CC3 通道被配置为输入, IC3 映射在 TI3 上; 10: CC3 通道被配置为输入, IC3 映射在 TI4 上; 11: CC3 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 |

| | |
|--|--|
| | TIMx_SMCR 寄存器的 TS 位选择)。 注：CC3S 仅在通道关闭时(TIMx_CCER 寄存器的 CC3E=0)才是可写的。 |
|--|--|

输入捕获模式：

| 位域 | 描述 |
|-------|---|
| 15:12 | IC4F[3:0]：输入捕获 4 滤波器 (Input capture 4 filter) |
| 11:10 | IC4PSC[1:0]：输入/捕获 4 预分频器 (Input capture 4 prescaler) |
| 9:8 | CC4S[1:0]：捕获/比较 4 选择 (Capture/Compare 4 selection)这 2 位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC4 通道被配置为输出； 01：CC4 通道被配置为输入，IC4 映射在 TI4 上； 10：CC4 通道被配置为输入，IC4 映射在 TI3 上； 11：CC4 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注：CC4S 仅在通道关闭时(TIMx_CCER 寄存器的 CC4E=0)才是可写的。 |
| 7:4 | IC3F[3:0]：输入捕获 3 滤波器 (Input capture 3 filter) |
| 3:2 | IC3PSC[1:0]：输入/捕获 3 预分频器 (Input capture 3 prescaler) |
| 1:0 | CC3S[1:0]：捕获/比较 3 选择 (Capture/compare 3 selection)这 2 位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC3 通道被配置为输出； 01：CC3 通道被配置为输入，IC3 映射在 TI3 上； 10：CC3 通道被配置为输入，IC3 映射在 TI4 上； 11：CC3 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时(由 TIMx_SMCR 寄存器的 TS 位选择)。 注：CC3S 仅在通道关闭时(TIMx_CCER 寄存器的 CC3E=0)才是可写的。 |

11.4.8 TIM1 捕获/比较使能寄存器(TIM1_CCER)

偏移地址：0x20

复位值 0x0000

| | | | | | | | | | | | | | | | |
|-------|-------|------|------|-------|-------|------|------|-------|-------|------|------|-------|-------|------|------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CC4NP | CC4NE | CC4P | CC4E | CC3NP | CC3NE | CC3P | CC3E | CC2NP | CC2NE | CC2P | CC2E | CC1NP | CC1NE | CC1P | CC1E |
| | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 描述 |
|----|---|
| 15 | CC4NP：输入/捕获 4 输出极性。参考 CC1NP 的描述。 |
| 14 | CC4NE：输入/捕获 4 输出使能。参考 CC1NE 的描述。 |
| 13 | CC4P：输入/捕获 4 输出极性 (Capture/Compare 4 output polarity) 参考 CC1P 的描述。 |
| 12 | CC4E：输入/捕获 4 输出使能 (Capture/Compare 4 output enable) 参考 CC1E 的描述。 |
| 11 | CC3NP：输入/捕获 3 互补输出极性 (Capture/Compare 3 complementary output polarity) 参考 CC1NP 的描述。 |
| 10 | CC3NE：输入/捕获 3 互补输出使能 (Capture/Compare 3 complementary output enable) 参考 CC1NE 的描述。 |
| 9 | CC3P：输入/捕获 3 输出极性 (Capture/Compare 3 output polarity) 参考 CC1P 的描述。 |
| 8 | CC3E：输入/捕获 3 输出使能 (Capture/Compare 3 output enable) 参考 CC1E 的描述。 |

| | |
|---|--|
| 7 | CC2NP: 输入/捕获 2 互补输出极性 (Capture/Compare 2 complementary output polarity) 参考 CC1NP 的描述。 |
| 6 | CC2NE: 输入/捕获 2 互补输出使能 (Capture/Compare 2 complementary output enable) 参考 CC1NE 的描述。 |
| 5 | CC2P: 输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 CC1P 的描述。 |
| 4 | CC2E: 输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 CC1E 的描述。 |
| 3 | CC1NP: 输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N 高电平有效; 1: OC1N 低电平有效。 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 3 或 2 且 CC1S=00(通道配置为输出) 则该位不能被修改。 |
| 2 | CC1NE: 输入/捕获 1 互补输出使能 (Capture/Compare 1 complementary output enable) 0: 关闭— OC1N 禁止输出, 因此 OC1N 的电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。 1: 开启— OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。 |
| 1 | CC1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效; 1: OC1 低电平有效。 CC1 通道配置为输入: 该位选择是 IC1 还是 IC1 的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相。 1: 反相: 捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相。 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 3 或 2, 则该位不能被修改。 |
| 0 | CC1E: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0: 关闭— OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。 1: 开启— OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TIMx_CCR1 寄存器。 0: 捕获禁止; 1: 捕获使能。 |

11.4.9 TIM1 计数器(TIM1_CNT)

偏移地址: 0x24

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CNT[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|----------------------------------|
| 15:0 | CNT | CNT[15:0]: 计数器的值 (Counter value) |

11.4.10 TIM1 预分频器(TIMx_PSC)

偏移地址: 0x28
复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PSC[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|---|
| 15:0 | PSC | PSC[15:0]: 预分频器的值 (Prescaler value) 计数器的时钟频率(CK_CNT)等于 $f_{CK_PSC}/(PSC[15:0]+1)$ 。 PSC 包含了每次当更新事件产生时, 装入当前预分频器寄存器的值; 更新事件包括计数器被 TIM_EGR 的 UG 位清'0'或被工作在复位模式的从控制器清'0'。 |

11.4.11 TIM1 自动重载寄存器(TIMx_ARR)

偏移地址:0x2C
复位值:0x0000

| | | | | | | | | | | | | | | | |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ARR[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|---|
| 15:0 | ARR | ARR[15:0]: 自动重载的值 (Prescaler value) ARR 包含了将要装载入实际的自动重载寄存器的值。详细参考 9.3.1 节: 有关 ARR 的更新和动作。 当自动重载的值为空时, 计数器不工作。 |

11.4.12 TIM1 重复计数寄存器(TIMx_RCR)

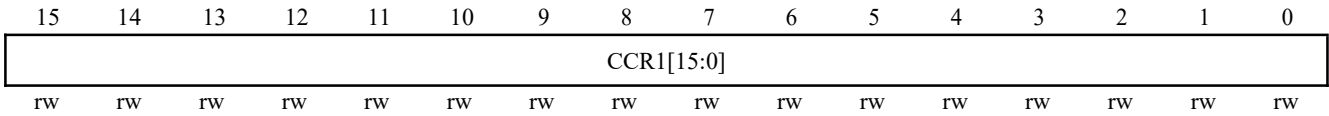
偏移地址: 0x30
复位值: 0x0000

| | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|----------|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 保留 | | | | | | | | REP[7:0] | | | | | | | | |
| | | | | | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|--|
| 15:8 | - | 保留, 始终读为 0 |
| 7:0 | ARR | REP[7:0]: 重复计数器的值 (Repetition counter value) 开启了预装载功能后, 这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器); 如果允许产生更新中断, 则会同时影响产生更新中断的速率。 每次向下计数器 REP_CNT 达到 0, 会产生一个更新事件并且计数器 REP_CNT 重新从 RE 值开始计数。由于 REP_CNT 只有在周期更新事件 U_RC 发生时才重载 REP 值, 因此对 TIMx_RCR 寄存器写入的新值只在下次周期更新事件发生时才起作用。 这意味着在 PWM 模式中, (REP+1)对应着: 1. 在边沿对齐模式下, PWM 周期的数目; 2. 在中心对称模式下, PWM 半周期的数目; |

11.4.13 TIM1 捕获/比较寄存器 1(TIMx_CCR1)

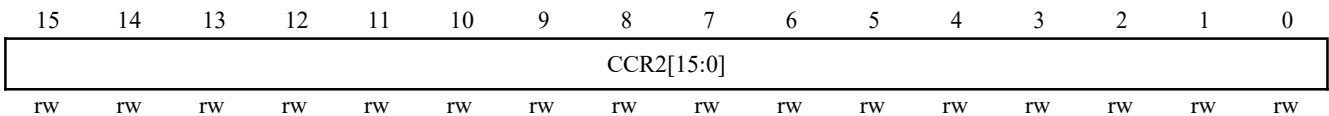
偏移地址: 0x34
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|------|--|
| 15:0 | CCR1 | CCR1[15:0]: 捕获/比较通道 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出: CCR1 包含了装入当前捕获/比较 1 寄存器的值(预装载值)。 如果在 TIMx_CCMR1 寄存器(OC1PE 位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。 当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较, 并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入: CCR1 包含了由上一次输入捕获 1 事件(IC1)传输的计数器值。 |

11.4.14 TIM1 捕获/比较寄存器 2(TIM1_CCR2)

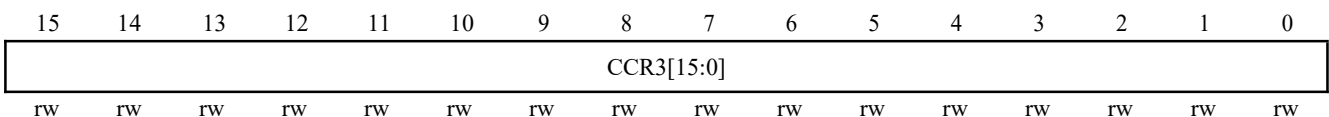
偏移地址: 0x38
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|------|--|
| 15:0 | CCR2 | CCR2[15:0]: 捕获/比较通道 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出: CCR2 包含了装入当前捕获/比较 2 寄存器的值(预装载值)。 如果在 TIMx_CCMR2 寄存器(OC2PE 位)中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 2 寄存器中。 当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较, 并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入: CCR2 包含了由上一次输入捕获 2 事件(IC2)传输的计数器值。 |

11.4.15 TIM1 捕获/比较寄存器 3(TIM1_CCR3)

偏移地址: 0x3C
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|------|--|
| 15:0 | CCR3 | CCR3[15:0]: 捕获/比较通道 3 的值 (Capture/Compare 3 value) 若 CC3 通道配置为输出: CCR3 包含了装入当前捕获/比较 3 寄存器的值(预装载值)。 如果在 TIMx_CCMR3 寄存器(OC3PE 位)中未选择预装载特性, 写入的数值会立即传输 |

| | | |
|--|--|--|
| | | <p>至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 3 寄存器中。</p> <p>当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC3 端口上产生输出信号。</p> <p>若 CC3 通道配置为输入： CCR3 包含了由上一次输入捕获 3 事件(IC3)传输的计数器值。</p> |
|--|--|--|

11.4.16 TIM1 捕获/比较寄存器 4(TIM1_CCR4)

偏移地址：0x40

复位值：0x0000

| | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CCR4[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------|--|
| 15:0 | CCR4 | <p>CCR4[15:0]: 捕获/比较通道 4 的值 (Capture/Compare 4 value)</p> <p>若 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值(预装载值)。</p> <p>如果在 TIMx_CCMR4 寄存器(OC4PE 位)中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 4 寄存器中。</p> <p>当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC4 端口上产生输出信号。</p> <p>若 CC4 通道配置为输入： CCR4 包含了由上一次输入捕获 4 事件(IC4)传输的计数器值。</p> |

11.4.17 TIM1 死区寄存器(TIM1_DTR)

偏移地址：0x44

复位值：0x0000

| | | | | | | | | | | | | | | | |
|-----|-----|-----|-----|------|------|-----------|----|----------|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| MOE | AOE | BKP | BKE | OSSR | OSSI | LOCK[1:0] | | DTG[7:0] | | | | | | | |
| rw | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|----|-----|--|
| 15 | MOE | <p>MOE: 主输出使能 (Main output enable)</p> <p>0: 禁止 OC 和 OCN 输出或强制为空闲状态；</p> <p>1: 如果设置了相应的使能位(TIMx_CCER 寄存器的 CCxE、CCxNE 位)，则开启 OC 和 OCN 输出。</p> |
| 14 | AOE | <p>AOE: 自动输出使能 (Automatic output enable)</p> <p>0: MOE 只能被软件置'1'；</p> <p>1: MOE 能被软件置'1'或在下一个更新事件被自动置'1'(如果刹车输入无效)。</p> <p>注：一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为'1'，则该位不能被修改。</p> |
| 13 | BKP | <p>BKP: 刹车输入极性 (Break polarity)</p> <p>0: 刹车输入低电平有效；</p> <p>1: 刹车输入高电平有效。</p> <p>注：一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为'1'，则该位不能被修改。注：任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。</p> |
| 12 | BKE | <p>BKE: 刹车功能使能 (Break enable)</p> <p>0: 禁止刹车输入(BRK 及 CCS 时钟失效事件)；</p> |

| | | |
|-----|------|---|
| | | 1: 开启刹车输入(BRK 及 CCS 时钟失效事件)。注: 当设置了 LOCK 级别 1 时(TIMx_BDTR 寄存器中的 LOCK 位), 该位不能被修改。注: 任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。 |
| 11 | OSSR | OSSR: 运行模式下“关闭状态”选择 (Off-state selection for Run mode) 该位用于当 MOE=1 且通道为互补输出时。没有互补输出的定时器中不存在 OSSR 位。 参考 OC/OCN 使能的详细说明(TIM1 捕获/比较使能寄存器(TIMx_CCER))。 0: 当定时器不工作时, 禁止 OC/OCN 输出(OC/OCN 使能输出信号=0); 1: 当定时器不工作时, 一旦 CCxE=1 或 CCxNE=1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号=1。 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 2, 则该位不能被修改。 |
| 10 | OSSI | OSSI: 空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 该位用于当 MOE=0 且通道设为输出时。 参考 OC/OCN 使能的详细说明(TIM1 捕获/比较使能寄存器(TIMx_CCER))。 0: 当定时器不工作时, 禁止 OC/OCN 输出(OC/OCN 使能输出信号=0); 1: 当定时器不工作时, 一旦 CCxE=1 或 CCxNE=1, OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号=1。 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 2, 则该位不能被修改。 |
| 9:8 | LOCK | LOOK[1:0]: 锁定设置 (Lock configuration)该位为防止软件错误而提供写保护。 00: 锁定关闭, 寄存器无写保护; 01: 锁定级别 1, 不能写入 TIMx_BDTR 寄存器的 DTG、BKE、BKP、AOE 位和 TIMx_CR2 寄存器的 OISx/OISxN 位; 10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位(一旦相关通道通过 CCxS 位设为输出, CC 极性位是 TIMx_CCER 寄存器的 CCxP/CCxN 位)以及 OSSR/OSSI 位; 11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位(一旦相关通道通过 CCxS 位设为输出, CC 控制位是 TIMx_CCMRx 寄存器的 OCxM/OCxPE 位); 注: 在系统复位后, 只能写一次 LOCK 位, 一旦写入 TIMx_BDTR 寄存器, 则其内容冻结直至复位。 |
| 7:0 | DTG | UTG[7:0]: 死区发生器设置 (Dead-time generator setup) 这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间: DTG[7:5]=0xx => DT=DTG[7:0] × T _{dtg} , T _{dtg} = T _{DTS} ; DTG[7:5]=10x => DT=(64+DTG[5:0]) × T _{dtg} , T _{dtg} = 2 × T _{DTS} ; DTG[7:5]=110 => DT=(32+DTG[4:0]) × T _{dtg} , T _{dtg} = 8 × T _{DTS} ; DTG[7:5]=111 => DT=(32+DTG[4:0]) × T _{dtg} , T _{dtg} = 16 × T _{DTS} ; 例: 若 T _{DTS} = 125ns(8MHZ), 可能的死区时间为: 0 到 15875ns, 若步长时间为 125ns; 16us 到 31750ns, 若步长时间为 250ns; 32us 到 63us, 若步长时间为 1us; 64us 到 126us, 若步长时间为 2us; 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 1、2 或 3, 则不能修改这些位。 |

11.4.17 TIM1 通道 x PIN 脚选择(TIM1_CHxSEL)

偏移地址: 0x50~0x5C

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|---------------|----|----|----|----|----|----|----|-------------|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | CHxNSEL[12:8] | | | | | 保留 | | | CHxSEL[4:0] | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|----|----|----|
|----|----|----|

| | | |
|-------|---------|---|
| 15:13 | - | 保留 |
| 12:8 | CHxNSEL | CHxNSEL: 通道 pin 脚选择 注: 00h 表示选择 PA00 管脚, 同时管脚复用要选择 |
| 7:5 | - | 保留 |
| 4:0 | CHxSEL | CHxSEL: 通道 N pin 脚选择 注: 00h 表示选择 PA00 管脚, 同时管脚复用要选择 |

12 基本定时器 (TIM6 和 TIM7)

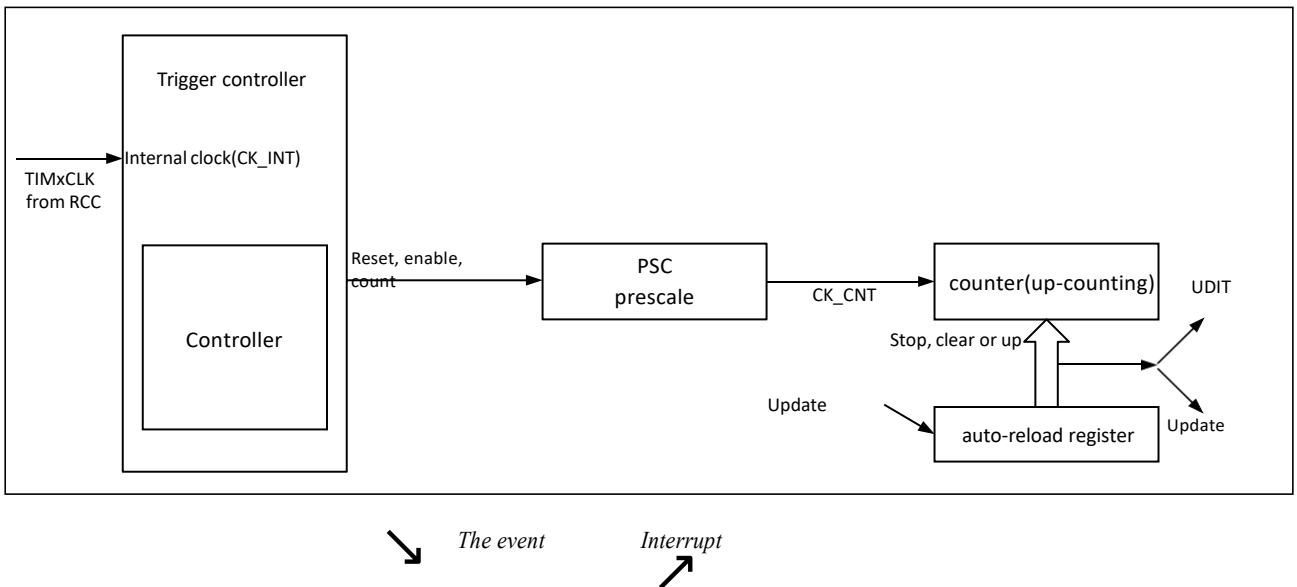
12.1 基本定时器与通用定时器简介

基本定时器 TIM6 和 TIM7 包含一个 16 位自动装载计数器。

12.2 基本定时器主要特性

- 16 位自动重载向上计数计数器。
- 16 位可编程预分频器。（分频系数可配置 1 到 65536 之间的任意值）
- 产生中断事件
- 更新事件

图12-1 TIM6 的框图



12.3 基础定时器描述

12.3.1 时基单元

时基单元主要包括：预分频器、计数器、自动重载和重复计数器。计数器寄存器（TIMx_CNT）、预分频器寄存器（TIMx_PSC）和自动预装载寄存器（TIMx_ARR）。

计数单元由一个 16 位的计数器和对应的自动预装载寄存器组成，可以实现递增计数功能。

计数器的时钟由预分频器提供，预分频器由预分频计数器和对应的寄存器组成，分频系数为 1-65536，可以随时写入，在下次更新事件时生效。

自动预装载寄存器有预装载功能的 16 位影子寄存器，通过设置 TIMx_CR1 寄存器的 ARPE 位选择写入 ARR 寄存器的值立即生效或发生更新事件时载入影子寄存器。

12.3.2 计数模式

在 TIMx 仅支持递增计数模式。在使能 TIMx_CR1 寄存器的 CEN 后计数器由 0 开始递增计数，直至 TIMx_ARR 的值，产生一个计数器上溢事件（更新事件）并从 0 开始重新递增计数。设置 TIMx_EGR 寄存器的 UG=1，同样可以产生一个更新事件。

通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

注：发生更新事件时

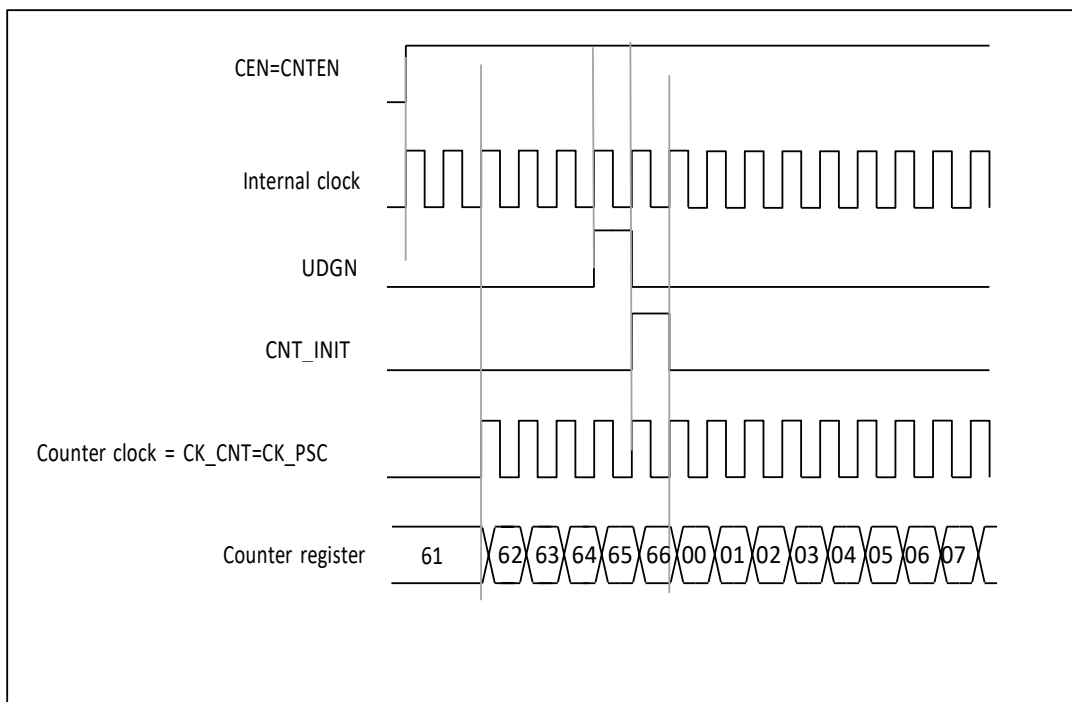
- ARR 寄存器中的值被载入 ARR 影子寄存器中。

12.3.3 时钟选择

- 定时器内部时钟：CK_INT

前提是 TIMx_CTRL1.CNTEN 位由软件写为'1'，预分频器的时钟源由内部时钟 CK_INT 提供。

正常模式下的控制电路，内部时钟分频系数为 1



12.4 TIM6/7 寄存器描述

这些外设寄存器可以作为半字（16 位）或一个字（32 位）操作。

12.4.1 寄存器概览

表 12-1 TIM6 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|-----------|---------|--------|
| 0x00 | TIMx_CR1 | 控制寄存器 1 | 0x0000 |
| 0x0C | TIMx_DIER | 中断使能寄存器 | 0x0000 |
| 0x10 | TIMx_SR | 状态寄存器 | 0x0000 |
| 0x14 | TIMx_EGR | 事件产生寄存器 | 0x0000 |
| 0x24 | TIMx_CNT | 计数器 | 0x0000 |
| 0x28 | TIMx_PSC | 预分频率器 | 0x0000 |
| 0x2C | TIMx_ARR | 自动装载寄存器 | 0xFFFF |

12.4.2 控制寄存器 1(TIMx_CR1)

偏移地址：0x00

复位值：0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|------|----|---|---|-----|-----|------|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | ARPE | 保留 | | | OPM | URS | UDIS | CEN |
| | | | | | | | | rw | | | | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------|--|
| 15:8 | - | 保留 |
| 7 | ARPE | ARPE: 自动重载预装载使能 (Auto-reload preload enable) 0: TIMx_ARR 寄存器没有缓冲 1: TIMx_ARR 寄存器具有缓冲 |
| 6:4 | - | 保留 |
| 3 | OPM | OPM: 单脉冲模式 (One-pulse mode) 0: 在发生更新事件时, 计数器不停止 1: 在发生下次更新事件时, 计数器停止计数(清除 CEN 位)。 |
| 2 | URS | URS: 更新请求源 (Update request source) 该位由软件设置和清除, 以选择 UEV 事件的请求源。 0: 如果使能了中断, 以下任一事件可以产生一个更新中断请求: -计数器上溢或下溢 -设置 UG 位 -通过从模式控制器产生的更新 1: 如果使能了中断, 只有计数器上溢或下溢可以产生更新中断请求。 |
| 1 | UDIS | UDIS: 禁止更新 (Update disable) 该位由软件设置和清除, 以使能或禁止 UEV 事件的产生。 0: UEV 使能。更新事件(UEV)可以由下列事件产生: -计数器上溢或下溢 -设置 UG 位 -通过从模式控制器产生的更新 产生更新事件后, 带缓冲的寄存器被加载为预加载数值。 1: 禁止 UEV。不产生更新事件(UEV), 影子寄存器保持它的内容(ARR、PSC)。但是如果设置了 UG 位或从模式控制器产生了一个硬件复位, 则计数器和预分频器将被重新初始化。 |
| 0 | CEN | CEN: 计数器使能 (Counter enable) 0: 关闭计数器 1: 使能计数器 |

12.4.3 DMA 中断使能寄存器(TIMx_DIER)

偏移地址: 0x0C

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | | | | | UIE |
| rw | | | | | | | | | | | | | | | |

| 位域 | 名称 | 描述 |
|------|-----|---|
| 15:1 | - | 保留 |
| 0 | UIE | UIE: 更新中断使能 (Update interrupt enable) 0: 禁止更新中断 1: 使能更新中断 |

12.4.4 状态寄存器(TIMx_SR)

偏移地址: 0x10

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | | | | | UIF |
| rc w0 | | | | | | | | | | | | | | | |

| 位域 | 名称 | 描述 |
|------|-----|---|
| 15:1 | - | 保留 |
| 0 | UIF | UIF: 更新中断标志 (Update interrupt flag) 硬件在更新中断时设置该位, 它由软件清除。 0: 没有产生更新。 1: 产生了更新中断。下述情况下由硬件设置该位: - 计数器产生上溢或下溢并且 TIMx_CR1 中的 UDIS=0; - 如果 TIMx_CR1 中的 URS=0 并且 UDIS=0, 当使用 TIMx_EGR 寄存器的 UG 位重新初始化计数器 CNT 时。 |

12.4.5 事件产生寄存器(TIMx_EGR)

偏移地址: 0x14

复位值: 0x0000

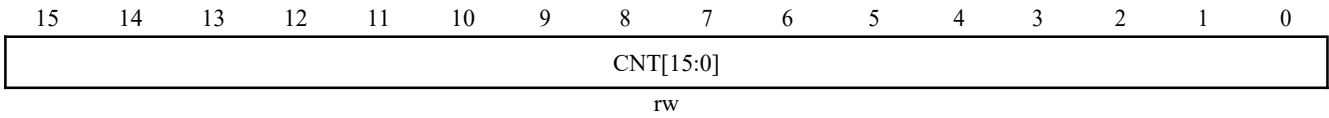
| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | | | | | UG |
| w | | | | | | | | | | | | | | | |

| 位域 | 名称 | 描述 |
|------|----|--|
| 15:1 | - | 保留 |
| 0 | UG | UG: 产生更新事件 (Update generation)该位由软件设置, 由硬件自动清除。 0: 无作用 1: 重新初始化定时器的计数器并产生对寄存器的更新。注意: 预分频器也被清除(但预分频系数不变)。 |

12.4.6 计数器(TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

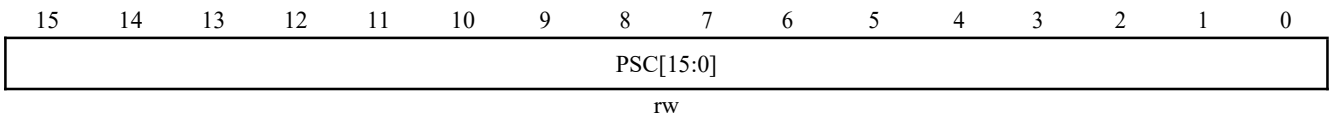


| 位域 | 名称 | 描述 |
|------|-----|----------------------------------|
| 15:0 | CNT | CNT[15:0]: 计数器数值 (Counter value) |

12.4.7 预分频器(TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

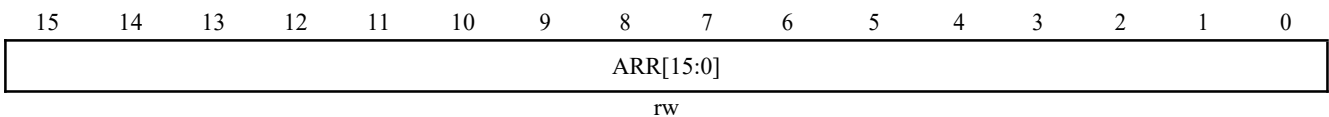


| 位域 | 名称 | 描述 |
|------|-----|--|
| 15:0 | PSC | PSC[15:0]: 预分频器数值 (Prescaler value) 计数器的时钟频率 CK_CNT 等于 $f_{CK_PSC}/(PSC[15:0]+1)$ 。 在每一次更新事件时, PSC 的数值被传送到实际的预分频寄存器中。 |

12.4.8 自动重载寄存器(TIMx_ARR)

偏移地址: 0x2C

复位值: 0xFFFF



| 位域 | 名称 | 描述 |
|------|-----|--|
| 15:0 | PSC | ARR[15:0]: 自动重载数值 (Prescaler value) ARR 的数值将传送到实际的自动重载寄存器中。关于 ARR 的更新和作用, 如果自动重载数值为 0, 则计数器停止。 |

13 独立看门狗定时器 (IWDG)

13.1 简介

CA32F0323 内置独立看门狗 (IWDG) 定时器，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

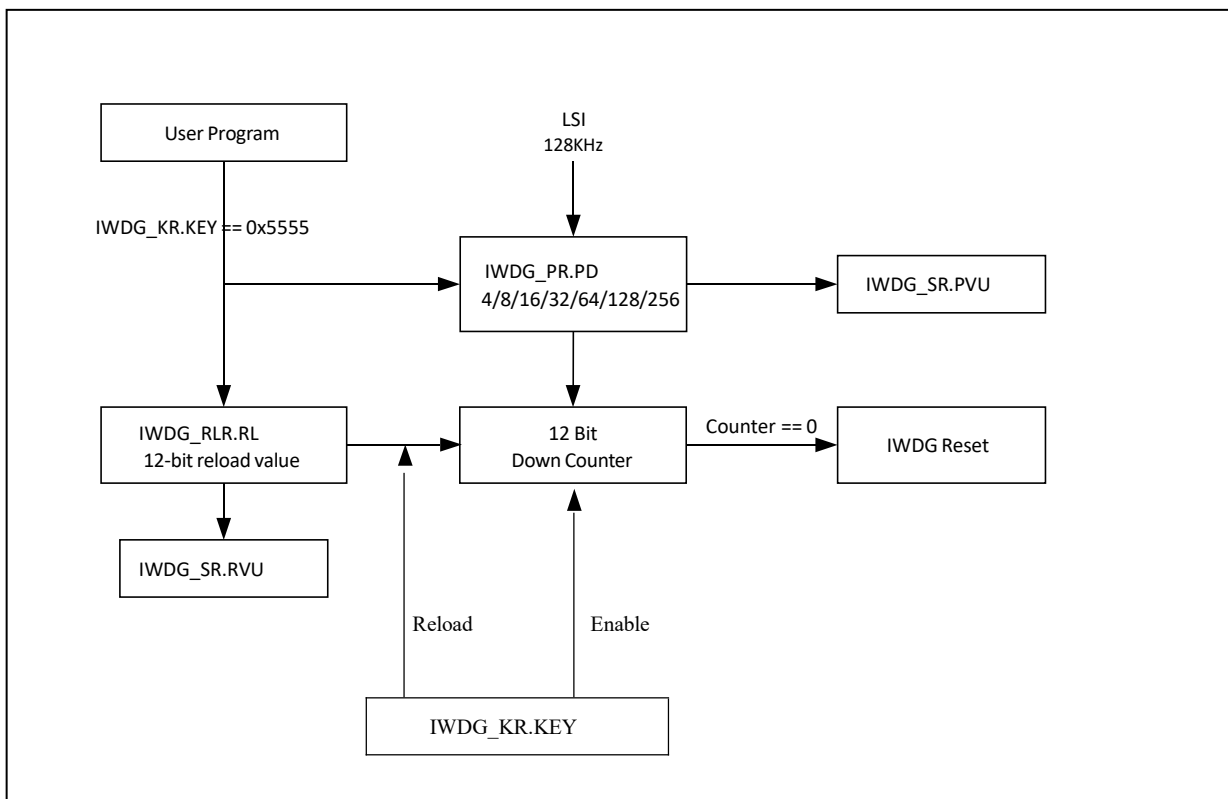
独立看门狗 (IWDG) 由运行在 128KHz 的低速内部时钟 (LSI 时钟) 驱动，在死循环事件或 MCU 卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。使用看门狗时，在初始化需等待 200uS 后喂狗，喂狗间隔时间需大于 200uS。

13.2 主要特性

- 独立运行的 12 位递减计数器
- 时钟由 RC 振荡器提供，在 STOP 模式下仍能正常工作
- 可以匹配复位和低功耗唤醒
- 看门狗被激活后，当递减计数器达到 0x000 时产生复

13.3 功能描述

图 13-1 独立看门狗模块的功能框图



密钥寄存器 (IWDG_KR) 中写入 0xCCCC, 开始启用独立看门狗; 此时计数器开始从其复位值 0xFFF 递减计数。当计数器计数到末尾 0x000 时, 会产生一个复位信号 (IWDG_RESET)。无论何时, 只要密钥寄存器 IWDG_KR 中写入 0xAAAA, IWDG_RLR 中的值就会被重新加载到计数器, 从而避免产生看门狗复位。

如果通过选项字节使能“硬件看门狗定时器”功能, 则看门狗将在系统上电后自动开始运行并产生系统复位, 除非软件在计数器到达‘0’之前重新加载计数器。

13.3.1 寄存器访问保护

IWDG_PR 和 IWDG_RLR 寄存器具有写保护功能。在修改这两个寄存器数据之前, 必须先配置 IWDG_KR 寄存器为 0x5555。配置成其他任何数据, 都将再次启动寄存器写保护。IWDG_SR.PVU 指示预分频器值更新是否正在进行。IWDG_SR.RVU 指示 IWDG 是否正在更新重载值。当预分频器值和/或重载值更新时, 硬件设置 IWDG_SR.PVU 位和/或 IWDG_SR.RVU 位。预分频器值和/或重载值更新完成后, 硬件清除 IWDG_SR.PVU 位和/或 IWDG_SR.RVU 位。

重载操作 (IWDG_KR 配置 0xAAAA) 也会启动写保护功能。

13.4 用户界面

IWDG 模块用户界面包含 4 个寄存器: 密钥寄存器 (IWDG_KR)、预分频寄存器 (IWDG_PR)、重载寄存器 (IWDG_RLR) 和状态寄存器 (IWDG_SR)。

13.4.1 操作流程

当 IWDG 从软件 (将 0xAAAA 写入 IWDG_KR.KEYV[15:0]位) 或硬件 (清零 FLASH_OB.WDG_SW 位) 复位启用时。它从 0xFFF 开始递减计数。向下计数间隙由预分频 LSI 时钟确定。重新加载计数器后, 新一轮递减计数器的值将从 IWDG_RLR.REL[11:0]中的值开始, 而不是 0xFFF。

程序正常运行时, 软件需要在计数器到达 0 前喂狗, 开始新一轮的递减计数。当计数器达到 0 时, 表示程序故障。IWDG 在这种情况下产生复位信号。

如果用户想要配置 IWDG 预分频和重载值寄存器, 需要先将 0x5555 写入 IWDG_KR.KEY[15:0]。然后确认 IWDG_SR.RVU 位和 IWDG_SR.PVU 位。IWDG_SR.RVU 位指示重载值更新正在进行, IWDG_SR.PVU 表示预分频值更新正在进行。只有当这两位为 0 时, 用户才能更新相应的值。当更新正在进行时, 硬件将相应位设置为 1。此时, 读取 IWDG_PR.PD[2:0]或 IWDG_RLR.RL[11:0]无效, 因为数据需要同步到 LSI 时钟域。从 IWDG_PR.PD[2:0]或 IWDG_RLR.RL[11:0]读取的值将在硬件清除 IWDG_SR.PVU 位或 IWDG_SR.RVU 位后才有效。

如果应用程序使用多个重载值或预分频值, 则必须等到 IWDG_SR.RVU 位复位后才能更改重载值, IWDG_SR.PVU 位复位后才能更改预分频值。但是, 在更新预分频值和重载值后, 或只更新预分频值后, 或只更新重载值后, 无需等到 IWDG_SR.RVU 位或 IWDG_SR.PVU 位复位后才能继续执行代码 (即使在进入低功耗模式的情况下, 写入操作也会被考虑并完成)。

看门狗超时时间 (128kHz 的输入时钟 (LSI)), 如表 13-1。

表13-1 IWDG 计数最大和最小复位时间

| 预分频系数 | PD [2:0] | 最短时间 (ms) RL [11:0]=0x001 | 最长时间 (ms) RL [11:0]=0xFF |
|-------|----------|------------------------------|-----------------------------|
| /4 | 000 | 0.03125 | 127.96875 |
| /8 | 001 | 0.0625 | 255.9375 |
| /16 | 010 | 0.125 | 511.875 |
| /32 | 011 | 0.25 | 1023.75 |
| /64 | 100 | 0.5 | 2047.5 |
| /128 | 101 | 1 | 4095 |
| /256 | 11x | 2 | 8190 |

13.5 IWDG 寄存器概览

表13-2 IWDG 寄存器地址列表

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|----------|--------|------------|
| 0x00 | IWDG_KR | 密钥寄存器 | 0x00000000 |
| 0x04 | IWDG_PR | 预分频寄存器 | 0x00000000 |
| 0x08 | IWDG_RLR | 重装载寄存器 | 0x00000FFF |
| 0x0C | IWDG_SR | 状态寄存器 | 0x00000000 |

13.5.1 IWDG 密钥寄存器 (IWDG_KR)

偏移地址: 0x00

复位值: 0x0000 0000



| 位域 | 名称 | 描述 |
|-------|-----------|---|
| 31:16 | 保留 | 保留, 必须保持复位值。 |
| 15:0 | KEY[15:0] | 密钥寄存器: 只有特定的值才能发挥特定的作用 0xCCCC: 启动看门狗计数器, 如果硬件看门狗使能则无效, (如果选择了硬件看门狗, 则不受该命令字限制) 0xAAAA: 用 IWDG_RLR 寄存器中的 RL 值重新加载计数器以防止复位 0x5555: 禁用 IWDG_PR 和 IWDG_RLR 寄存器的写保护 |

13.5.2 IWDG 预分频寄存器 (IWDG_PR)

偏移地址: 0x04

复位值: 0x00000000

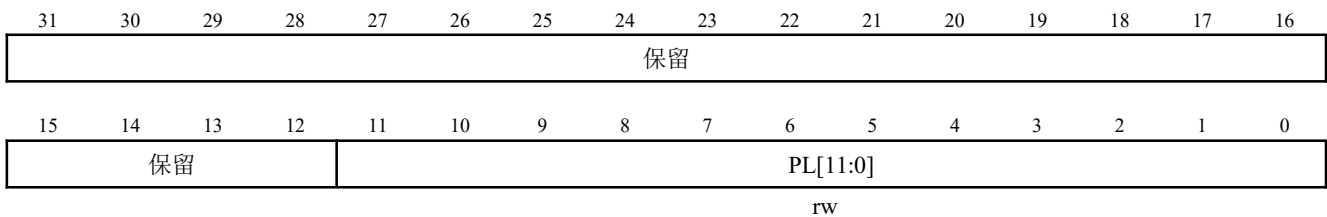


| 位域 | 名称 | 描述 |
|------|---------|--|
| 31:3 | 保留 | 保留, 必须保持复位值。 |
| 2:0 | PD[2:0] | 预分频因子 当 IWDG_KR.KEY[15:0]不是 0x5555 时具有写访问保护。IWDG_SR.PVU 位必须为 0, 否则 PD[2:0]值无法更改。分频系数如下: 000: 预分频因子=4 001: 预分频因子=8 010: 预分频因子=16 011: 预分频因子=32 100: 预分频因子=64 101: 预分频因子=128 其他: 预分频因子=256 注意: 读取该寄存器将返回来自 VDD 电压域的预分频值。如果正在进行写操作, 则回读值可能无效。因此, 读取值仅在 IWDG_SR.PVU 位为 0 时有效。 |

13.5.3 IWDG 重装载寄存器 (IWDG_RLR)

偏移地址: 0x08

复位值: 0x00000FFF



| 位域 | 名称 | 描述 |
|-------|----------|--|
| 31:12 | 保留 | 保留, 必须保持复位值。 |
| 11:0 | RL[11:0] | 看门狗计数器重装载值。 带有写保护。定义看门狗计数器的重装载值, 每次将 0xAAAA 写入 IWDG_KR.KEY[15:0]位时将其加载到计数器。然后计数器从该值开始倒计时。看门狗超时周期可以根据这个重装载值和时钟预分频值计算, 参考表13-1。 该寄存器只能在 IWDG_SR.RVU 位为 0 时修改。 注意: 读取该寄存器将返回来自 VDD 电压域的重装载值。如果正在进行写操作, 则回读值可能无效。因此, 读取值仅 IWDG_SR.RVU 位为 0 时有效。 |

13.5.4 IWDG 状态寄存器 (IWDG_SR)

偏移地址: 0x0C

复位值: 0x00000000



| 位域 | 名称 | 描述 |
|------|-----|---|
| 31:2 | 保留 | 保留, 必须保持复位值。 |
| 1 | RVU | 看门狗重装载值更新 重装载值更新: 该位表示正在更新重装载值。硬件置位, 硬件清零。软件只能在 IWDG_KR.KEY[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_RLR.RL[11:0]的值。 |
| 0 | PVU | 看门狗预分频值更新 预分频值更新: 该位表示正在更新预分频值。硬件置位, 硬件清零。软件只能在 IWDG_KR.KEY[15:0]位的值为 0x5555 且该位为 0 时尝试更改 IWDG_PR.PD[2:0]的值。 |

14 通用串行接口 (UART0/UART1)

芯片内置 2 组通用串口, UART0 和 UART1 是设计完全相同的三个全双工异步串行数据收发器, UARTx(x=0、1,代指 UART0、UART1) 支持一个字节接收缓存。

14.1 UART 寄存器概览

表 14-7 USART 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|----------|---------------|------------|
| 0x00 | UART_CR | UARTx 控制寄存器 | 0x00000000 |
| 0x04 | UART_REL | UARTx 波特比率寄存器 | 0x00000000 |
| 0x08 | UART_BUF | UARTx 数据寄存器 | 0x00000000 |

14.2 状态寄存器 (UART_CR)

地址偏移: 0x00

复位值: 0x00C0

| | | | | | | | | | | | | | | | |
|----|----|----|----|-----------|----|----|----|-----|-------|-------|------|------|------|-----|-----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 保留 | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | DNUM[4:0] | | | | SM1 | U1IE | SM21 | REN1 | TB81 | RB81 | TI1 | RI1 |
| | | | | rc_w0 | | | | r | rc_w0 | rc_w0 | r | r | r | r | r |

| 位域 | 名称 | 描述 |
|-------|-----------|---|
| 31:13 | - | 保留 |
| 12:8 | DNUM[4:0] | 波特率配置寄存器, 发送时, 须满足 $DNUMx \geq 0$; 接收时, $DNUMx \geq 6$ $BRx = F_{sys} * (1 / ((DNUMx + 1) * (1024 - SxREL)))$ |
| 7 | SM1 | UART1 模式选择位 |
| 6 | U1IE | UART1 中断使能位, 1 有效 |
| 5 | SM21 | 多机通信使能位, 1 有效 |
| 4 | REN1 | 串行接收使能位, 1 有效 |
| 3 | TB81 | 发送数据的第 9 位 在模式 A, 这个位用于 UART1 传送数据, 对应传送数据的第 9 位 (例如奇偶校验或多主机通信), 由软件控制 |
| 2 | RB81 | 接收数据的第 9 位 在模式 A, 这个位用于 UART1 接收数据, 对应接收数据的第 9 位; 在模式 B, 这个位是接收到的停止位 |
| 1 | TI1 | 传送中断标志位, 1 有效, 写 1 清 0 |
| 0 | RI1 | 接收中断标志位, 1 有效, 写 1 清 0 |

15 I²C 接口

15.1 简介

I2C（芯片间）总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持标准（高达 100kHz）和快速（高达 400kHz）两种模式。

15.2 I2C 寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

15.2.1 I2C 寄存器概览

表 15-1 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|---------|-------|--------|
| 0x00 | I2C_CCR | 控制寄存器 | 0x0000 |
| 0x04 | I2C_DAT | 数据寄存器 | 0x0000 |
| 0x08 | I2C_ADR | 地址寄存器 | 0x0000 |
| 0x0C | I2C_FLG | 状态寄存器 | 0x0000 |

15.2.2 控制寄存器 1 (I2C_CCR)

地址偏移：0x00

复位值：0x0000

| | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|---|---|----|----|-----|-----|-----|-----|------|------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CCR | | | | | | | | CE | IE | STA | STP | SHD | AAK | CBSE | STFE |
| rw | | | | | | | | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|---|
| 15:8 | CCR | I2C 时钟配置寄存器 采样频率为 I2C 工作时钟的 2I2CCCR[15:13]分频，当 I2CCCR[15:13]等于 000:Fsample=Fi2cclk 001:Fsample=Fi2cclk/2 010:Fsample=Fi2cclk/4 ... 111:Fsample=Fi2cclk/128 输出频率为采样频率的 (I2CCCR[12:8]+1) 分频， FscI=Fi2cclk/(2I2CCCR[15:13]*I2CCCR[12:8]+1) 例如 I2CCCR[12:8]=9 时，当 I2CCCR[15:13]等于 000:FscI=Fi2cclk/(1*10) 001:FscI=Fi2cclk/(2*10) 010:FscI=Fi2cclk/(4*10) ... 111:FscI=Fi2cclk/(128*10) 备注： 1. 当 I2CCCR[15:13]=0 时，如果对 I2CCCR[12:8]写小于 9 的值，将自动按 9 的值计算。 2. 当 I2CCCR[15:13]>0 时，如果对 I2CCCR[12:8]写小于 7 的值，将自动按 7 的值计算 |
| 7 | CE | I2C 模块使能位，1 有效 |

| | | |
|---|------|---|
| 6 | IE | I2C 中断使能位，1 有效 |
| 5 | STA | I2C 发送 START 信号控制位，1 有效，检测到 START 信号后将自动清 0 |
| 4 | STP | I2C 发送 STOP 信号控制位，1 有效，检测到 STOP 信号后将自动清 0 |
| 3 | SHD | 为 1 时，如果 I2CF 为 1，那么当 SCL 变低之后，I2CF 将会使 SCL 保持在低的状态 |
| 2 | AAK | I2C 发送 ACK 信号控制位，1 有效 备注： 当 I2C 接口配置为从机模式时，这一位须预先置 1，否则即使地址匹配也不会回复 ACK，从而无法被寻址。 |
| 1 | CBSE | CBUS 兼容使能位 当这一位设置为 1 时，将会使传输忽略 ACK 位的状态判断，以兼容 CBUS 总线。 |
| 0 | STFE | 为 1 时，I2C 模块检测到 START 信号时将置位 I2CF |

15.2.3 控制寄存器 2 (I2C_DAT)

地址偏移：0x04

复位值：0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|------|---|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | DATA | | | | | | | |
| rw | | | | | | | | | | | | | | | |

| 位域 | 名称 | 描述 |
|------|------|--|
| 15:8 | - | 保留 |
| 7:0 | DATA | 发送和接收数据缓存 备注： 当 I2CF 为 1 时，建议改写/读取 I2CDAT 时，让 I2CF 保持在 1，等处理完成之后再清除 I2CF，以继续传输，这样可以避免总线发生不必要的错误。 |

15.2.4 I2C 地址寄存器 (I2C_ADR)

地址偏移：0x08

复位值：0x0000

| | | | | | | | | | | | | | | | |
|------|------|----|----|----|----|----|----|-----|------|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPFE | ADML | | | | | | | GCE | ADRL | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------|--|
| 15 | SPFE | 为 1 时，I2C 模块检测到 STOP 信号时将置位 I2CF |
| 14:8 | ADML | I2C 从地址按位屏蔽寄存器，为从机时有效 当 I2CADM[n](n=0~6)=1 时，对应的地址位 I2CADR[n]将不比对（即认为无论收到 1 还是 0 都算匹配） |
| 7 | GCE | 识别广播地址（00H）使能位，1 有效 |
| 6:0 | ADRL | I2C 从机地址，作为从机时有效 备注： （在 AAK 为 1 的前提下）7 位地址模式时，接收的第一个地址字节高 7 位和 I2CADR 匹配，则回复 ACK，进入从机模式。 |

15.2.5 I2C 状态寄存器 (I2C_FLG)

地址偏移: 0x0C

复位值: 0x0000

| | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|-----|-----|---|---|---|---|---|---|--|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 保留 | | | | | | | | FLG | STA | | | | | | | |
| | | | | | | | | rw | rw | | | | | | | |

| 位域 | 名称 | 描述 |
|------|-----|--|
| 15:9 | - | 保留 |
| 8 | FLG | I2C 中断标志, 1 有效, 写 1 清 0 备注: 1. 每字节地址或数据传输完成后 (收到/发送完 ACK/NAK), 将置位 I2CF。 2. 总线出错时, 将置位 I2CF。 3. 当 STFE=0 时, 检测到 START 信号, I2CF 不会置 1。 4. 当 SPFE=0 时, 检测到 STOP 信号, I2CF 不会置 1。 |
| 7:0 | STA | I2C 状态寄存器 00H: (主/从) 总线错误 08H: (主/从) 检测到 START 信号 (只在 STFE=1 时才有效) 18H: (主) 已发送地址+写位, 已接收到应答信号 20H: (主) 已发送地址+写位, 无接收到应答信号 28H: (主) 已发送/接收一字节数据, 已检测到应答信号 30H: (主) 已发送/接收一字节数据, 无检测到应答信号 38H: (主) 失去仲裁 (主机失去仲裁后会变为从机) 40H: (主) 已发送地址+读位, 已接收到应答信号 48H: (主) 已发送地址+读位, 无接收到应答信号 60H: (从) 已接收地址+写位, 已发送出应答信号 70H: (主/从) 已接收广播地址, 已发送出应答信号 (主机或从机都会变为从机) 80H: (从) 已发送/接收一字节数据, 已检测到应答信号 88H: (从) 已发送/接收一字节数据, 无检测到应答信号 A0H: (主/从) 检测到 STOP 信号 (只在 SPFE=1 时才有效) A8H: (从) 已接收地址+读位, 已发送出应答信号 F8H: (主/从) 总线空闲 |

16 PWM

16.1 简介

CA32F0323 系列芯片最多可支持 22 通道独立 PWM 输出，每路可单独控制，可在 16 位范围内随意配置周期和占空比。内部有 1 路硬件级联模块（PWM7 通道），直接控制 WS2812 或类似的驱动芯片，可用于单色或七彩 LED 灯带产品的需求，PWM7 也可以作为独立 PWM 使用。（级联介绍详阅第 17 章节）

16.2 控制描述

每路 PWM 通道都有一个专门的 16 位计数器，PWM 的周期通过寄存器 PWMnDIV 来设置，而寄存器 PWMnDUT 则对应 PWM 的占空比，PWM 通过寄存器 PWMnCON 的 PWMEN 位使能，PWM 可通过 PWMnTOG 位设置 PWM 引脚输出反相，PWM 时钟源为系统时钟，每路 PWM 的时钟分频可通过 PWMnCKD 独立设置。

PWM 中断通过寄存器 PWMnCON 的 PWMnIE 位使能，PWMnTOG=0 时，该通道为上升沿产生中断；PWMnTOG=1 时，该通道为下降沿产生中断。寄存器 PWMIF 的 PWM[x] 表示相应 PWM 的中断标志位，写 1 清 0。

16.3 寄存器概览

表 16-1 PWM 寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|---------|---------------|--------|
| 0x00 | PWM0CON | PWM0 配置寄存器 | 0x0000 |
| 0x04 | PWM0DUT | PWM0 占空比配置寄存器 | 0x0000 |
| 0x08 | PWM0DIV | PWM0 周期配置寄存器 | 0x0000 |
| 0x0C | PWM1CON | PWM1 配置寄存器 | 0x0000 |
| 0x10 | PWM1DUT | PWM1 占空比配置寄存器 | 0x0000 |
| 0x14 | PWM1DIV | PWM1 周期配置寄存器 | 0x0000 |
| 0x18 | PWM2CON | PWM2 配置寄存器 | 0x0000 |
| 0x1C | PWM2DUT | PWM2 占空比配置寄存器 | 0x0000 |
| 0x20 | PWM2DIV | PWM2 周期配置寄存器 | 0x0000 |
| 0x24 | PWM3CON | PWM3 配置寄存器 | 0x0000 |
| 0x28 | PWM3DUT | PWM3 占空比配置寄存器 | 0x0000 |
| 0x2C | PWM3DIV | PWM3 周期配置寄存器 | 0x0000 |
| 0x30 | PWM4CON | PWM4 配置寄存器 | 0x0000 |
| 0x34 | PWM4DUT | PWM4 占空比配置寄存器 | 0x0000 |
| 0x38 | PWM4DIV | PWM4 周期配置寄存器 | 0x0000 |
| 0x3C | PWM5CON | PWM5 配置寄存器 | 0x0000 |
| 0x40 | PWM5DUT | PWM5 占空比配置寄存器 | 0x0000 |
| 0x44 | PWM5DIV | PWM5 周期配置寄存器 | 0x0000 |
| 0x48 | PWM6CON | PWM6 配置寄存器 | 0x0000 |
| 0x4C | PWM6DUT | PWM6 占空比配置寄存器 | 0x0000 |
| 0x50 | PWM6DIV | PWM6 周期配置寄存器 | 0x0000 |
| 0x54 | PWM7CON | PWM7 配置寄存器 | 0x0000 |
| 0x58 | PWM7DUT | PWM7 占空比配置寄存器 | 0x0000 |
| 0x5C | PWM7DIV | PWM7 周期配置寄存器 | 0x0000 |

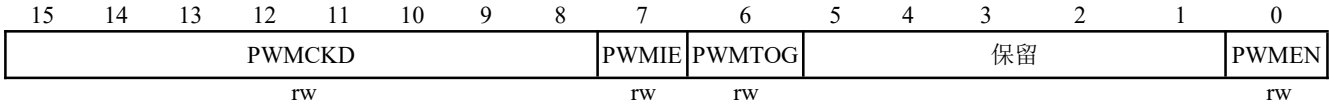
| | | | |
|-------|----------|----------------|--------|
| 0x60 | PWM8CON | PWM8 配置寄存器 | 0x0000 |
| 0x64 | PWM8DUT | PWM8 占空比配置寄存器 | 0x0000 |
| 0x68 | PWM8DIV | PWM8 周期配置寄存器 | 0x0000 |
| 0x6C | PWM9CON | PWM9 配置寄存器 | 0x0000 |
| 0x70 | PWM9DUT | PWM9 占空比配置寄存器 | 0x0000 |
| 0x74 | PWM9DIV | PWM9 周期配置寄存器 | 0x0000 |
| 0x78 | PWM10CON | PWM10 配置寄存器 | 0x0000 |
| 0x7C | PWM10DUT | PWM10 占空比配置寄存器 | 0x0000 |
| 0x80 | PWM10DIV | PWM10 周期配置寄存器 | 0x0000 |
| 0x84 | PWM11CON | PWM11 配置寄存器 | 0x0000 |
| 0x88 | PWM11DUT | PWM11 占空比配置寄存器 | 0x0000 |
| 0x8C | PWM11DIV | PWM11 周期配置寄存器 | 0x0000 |
| 0x90 | PWM12CON | PWM12 配置寄存器 | 0x0000 |
| 0x94 | PWM12DUT | PWM12 占空比配置寄存器 | 0x0000 |
| 0x98 | PWM12DIV | PWM12 周期配置寄存器 | 0x0000 |
| 0x9C | PWM13CON | PWM13 配置寄存器 | 0x0000 |
| 0xA0 | PWM13DUT | PWM13 占空比配置寄存器 | 0x0000 |
| 0xA4 | PWM13DIV | PWM13 周期配置寄存器 | 0x0000 |
| 0xA8 | PWM14CON | PWM14 配置寄存器 | 0x0000 |
| 0xAC | PWM14DUT | PWM14 占空比配置寄存器 | 0x0000 |
| 0xB0 | PWM14DIV | PWM14 周期配置寄存器 | 0x0000 |
| 0xB4 | PWM15CON | PWM15 配置寄存器 | 0x0000 |
| 0xB8 | PWM15DUT | PWM15 占空比配置寄存器 | 0x0000 |
| 0xBC | PWM15DIV | PWM15 周期配置寄存器 | 0x0000 |
| 0xC0 | PWM16CON | PWM16 配置寄存器 | 0x0000 |
| 0xC4 | PWM16DUT | PWM16 占空比配置寄存器 | 0x0000 |
| 0xC8 | PWM16DIV | PWM16 周期配置寄存器 | 0x0000 |
| 0xDC | PWM17CON | PWM17 配置寄存器 | 0x0000 |
| 0xD0 | PWM17DUT | PWM17 占空比配置寄存器 | 0x0000 |
| 0xD0 | PWM17DIV | PWM17 周期配置寄存器 | 0x0000 |
| 0xD8 | PWM18CON | PWM18 配置寄存器 | 0x0000 |
| 0xDC | PWM18DUT | PWM18 占空比配置寄存器 | 0x0000 |
| 0xE0 | PWM18DIV | PWM18 周期配置寄存器 | 0x0000 |
| 0xE4 | PWM19CON | PWM19 配置寄存器 | 0x0000 |
| 0xE8 | PWM19DUT | PWM19 占空比配置寄存器 | 0x0000 |
| 0xEC | PWM19DIV | PWM19 周期配置寄存器 | 0x0000 |
| 0xF0 | PWM20CON | PWM20 配置寄存器 | 0x0000 |
| 0xF4 | PWM20DUT | PWM20 占空比配置寄存器 | 0x0000 |
| 0xF8 | PWM20DIV | PWM20 周期配置寄存器 | 0x0000 |
| 0xFC | PWM21CON | PWM21 配置寄存器 | 0x0000 |
| 0x100 | PWM21DUT | PWM21 占空比配置寄存器 | 0x0000 |
| 0x104 | PWM21DIV | PWM21 周期配置寄存器 | 0x0000 |
| 0x110 | PWMIF | PWM 标记寄存器 | 0x0000 |
| 0x114 | LEDDAT | LED 数据寄存器 | 0x0000 |

| | | | |
|-------|--------|------------------|--------|
| 0x118 | LEDWTM | LED 暂停时间配置寄存器 | 0x0000 |
| 0x11C | LEDDUT | LED "1"码占空比配置寄存器 | 0x0000 |

16.3.1 PWMxCON 配置寄存器(PWM0CON~PWM21CON)

地址偏移: 0x00~0xFC

复位值: 0x0000

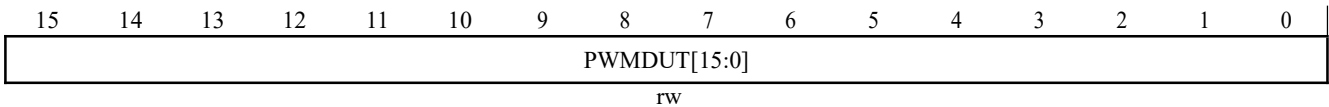


| 位域 | 名称 | 描述 |
|------|--------|---|
| 15:8 | PWMCKD | PWMCON[15:8]: PWM 工作时钟预分频配置寄存器 00H: 不分频 01H: 2分频 02H: 3分频 FEH: 255分频 FFH: 256分频 备注: 1、时钟源为系统时钟 2、PWMCKD[15:8] = 0 时不分频, PWMCKD[15:8] = n 为(n+1)分频, (n 的范围 1~255) |
| 7 | PWMIE | PWM 中断使能, 1 有效 |
| 6 | PWMTOG | PWM 输出取反使能控制位, 1 有效 |
| 5:1 | - | 保留 |
| 0 | PWMEN | PWM 使能控制位, 1 有效 |

16.3.1 PWMxDUT 占空比配置寄存器(PWM0DUT~~PWM21DUT)

地址偏移: 0x04~0x100

复位值: 0x0000

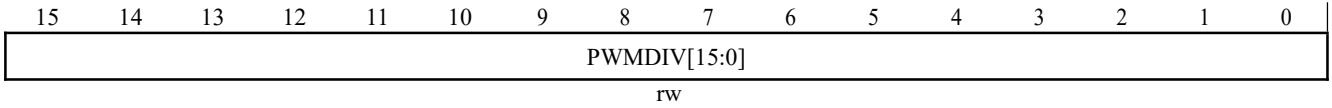


| 位域 | 名称 | 描述 |
|------|--------|--------------|
| 15:0 | PWMDUT | PWM 占空比配置寄存器 |

16.3.1 PWMxDIV 周期配置寄存器(PWM0DIV~~PWM21DIV)

地址偏移: 0x08~0x104

复位值: 0x0000

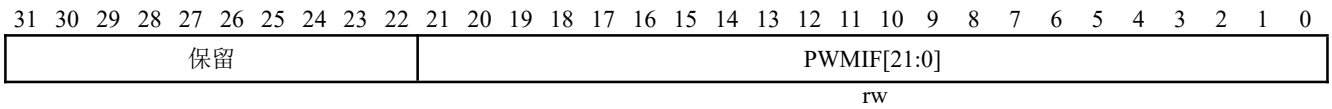


| 位域 | 名称 | 描述 |
|------|--------|-------------|
| 15:0 | PWMDIV | PWM 周期配置寄存器 |

16.3.1 PWMIF 标记寄存器

地址偏移: 0x110

复位值: 0x0000 0000



| 位域 | 名称 | 描述 |
|------|-------|--|
| 15:0 | PWMIF | PWM[x]表示相应 PWM 的中断标志位, 写 1 清 0 备注: PWM[21:0]对应 PWM21~PWM0 |

17 RGB 级联

17.1 功能简介

CA32F0323 系列芯片 PWM7 为 RGB 级联驱动引脚，可直接控制 WS2812 或类似的驱动芯片，符合单色或七彩 LED 灯带产品的需求。PWM7 也可以作为独立 PWM 使用。

17.2 功能描述

PWM7 通道支持单线级联 LED 驱动，级联 LED 的典型驱动时序图如图 17-1 所示。

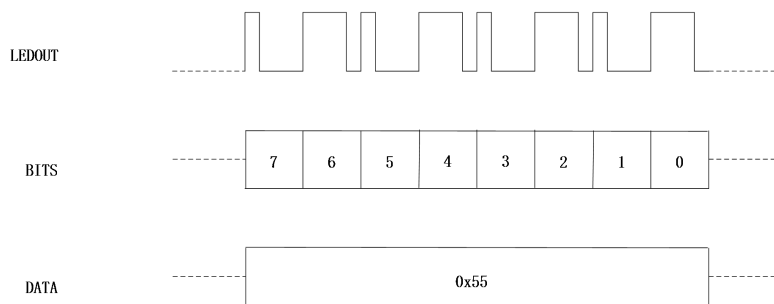


图 17-1 级联 LED 时序图

位码示意图如图 17-2 所示。



图 17-2 位码示意图

在级联时序图中，位码 0 的高电平时间宽度由 PWM7DUT 配置，位码 1 的高电平时间宽度由 LEDUTH 配置，而位周期时间由 PWM7DIV 配置。当 PWMMOD 不为 0 时，级联 LED 驱动使能，LEDAT 分别为 LED 的数据寄存器，当 LEF 为 0 时，可以向 LEDAT 写入 LED 数据。写入 LEDAT 即启动 LED 驱动数据发送，当 LED 发送器正处于发送状态时，LEBSY 置 1，当发送器处于空闲状态时，LEBSY 变为 0。LED 发送器有一字节的发送缓存，当数据寄存器和缓存寄存器都有数据时，LEF 位置 1，当缓存寄存器的数据发送完后，会自动从数据寄存器中加载，同时 LEF 位置 0，LEF=0 表示可以重新向 LEDAT 装载数据。当 PWMMOD 不为 0 时，PWMMOD 也同时表示发送完 PWMMOD 个字节后插入等待时间，等待时间由 LEDWTM 来配置。

当 PWMPOL=1 时，LEDAT 的数据反相，即：例如写入 01010101B，实际发送出来的是 10101010B。

17.3 控制寄存器

17.3.1 PWM7CON 配置寄存器

地址偏移: 0x54

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|--------|----|----|----|----|----|---|---|-------|--------|--------|---|---|--------|----|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PWMCKD | | | | | | | | PWMIE | PWMTOG | PWMMOD | | | PWMPOL | 保留 | PWMEN |
| rw | | | | | | | | rw | rw | rw | | | rw | | rw |

| 位域 | 名称 | 描述 |
|------|--------|--|
| 15:8 | PWMCKD | PWMCON[15:8]: PWM 工作时钟预分频配置寄存器 00H: 不分频 01H: 2分频 02H: 3分频 FEH: 255分频 FFH: 256分频 备注: 1、时钟源为系统时钟 2、PWMCKD[15:8]=0 时不分频, PWMCKD[15:8]=n 为(n+1)分频, (n的范围 1~255) |
| 7 | PWMIE | PWM 中断使能, 1 有效 |
| 6 | PWMTOG | PWM 输出取反使能控制位, 1 有效 |
| 5:3 | PWMMOD | PWM7 作为 LED 驱动时, 连续发送字节数配置寄存器 0 表示 PWM 不作为 LED 驱动使用 1~7 表示 PWM 每发送 1~7 字节数据就暂停 1 次 备注: 1. 详细使用参考 LEWTM。 |
| 2 | PWMPOL | PWM 作为 LED 驱动时, 发送数据取反使能控制位, 1 有效 备注: 1. 当 PWMMOD!=0 时, 对应的 PWMPOL 的值才有意义; 2. 当 PWMPOL=1 时, 如果对应的 LEDAT=01010101B, 那么实际上发送的将会是 10101010B |
| 1 | - | 保留 |
| 0 | PWMEN | PWM 使能控制位, 1 有效 |

17.3.2 LEDAT

地址偏移: 0x114

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|-----|-------|--------|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | LEF | LEBSY | LEDDAT | | | | | | |
| | | | | | | | r | r | rw | | | | | | |

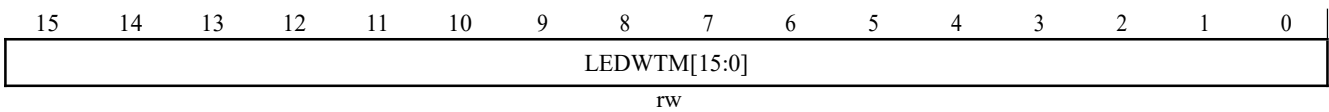
| 位域 | 名称 | 描述 |
|-------|-----|--|
| 15:10 | - | 保留 |
| 9 | LEF | LEF: LEDDAT 数据缓存满标志, 1 表示 LEDDAT 的数据缓存处于满状态(此时如果对 LEDAT0 写数据是无效的), 0 表示可以向 LEDDAT 写入新的数据 备注: LEDDAT 有 1 字节的数据缓存, 所以在 LEDDAT 数据存储空间没有写数据之前, 可以连续写 |

| | | |
|-----|--------|--|
| | | 入 2 字节数据，之后再想向 LEDDAT 内写数据，都必须在检测到 LEF 为 0 才可以，因为 LEF 为 0 表示 LEDDAT 数据缓存中至少有 1 字节已经发送完成。 |
| 8 | LEBSY | LEBSY: LEDDAT 数据发送忙标志，1 表示此时 LEDDAT 的数据缓存中的数据还没有全部发送完成，0 表示全部发送完成 |
| 7:0 | LEDDAT | LEDDAT: LED 驱动数据 备注： LEDDAT 的数据按照从 MSB 到 LSB 的顺序发送 |

17.3.3 LEDWTM

地址偏移：0x10

复位值：0x0000

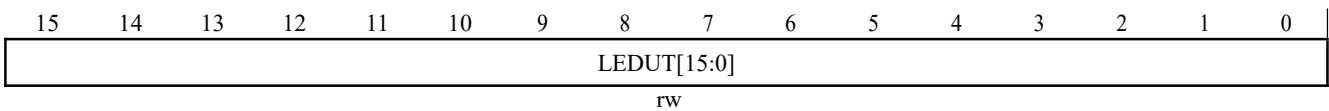


| 位域 | 名称 | 描述 |
|------|--------|--|
| 15:0 | LEDWTM | 发送数据暂停时间配置寄存器 备注： 1. 每发送 PWMMOD 字节数据之后，暂停 (LEWTM+1) 个 PWM 的工作时钟后进入下一次传输。 2. 发送数据暂停时间都由同一个 LEWTM 决定。 |

17.3.4 LEDUT

地址偏移：0x14

复位值：0x0000



| 位域 | 名称 | 描述 |
|------|-------|--|
| 15:0 | LEDUT | 发送数据“1”占空比配置寄存器 备注： 1. 级联 LED 的驱动波形中，每 1 位数据的周期都由对应的 PWM1DIV 决定，而数据“1”的占空比由 LEDUT 决定，数据“0”的占空比由 PWMmDUT 决定； 2. 如果 LEDAT=01010101B，同时对应的 PWMPOL=1，那么实际发送的数据按照 BIT7-BIT6-BIT5-BIT4-BIT3-BIT2-BIT1-BIT0 顺序就是 1-0-1-0-1-0-1-0，而且 BIT7/BIT5/BIT3/BIT1 的占空比由 LEDUT 决定，BIT6/BIT4/BIT2/BIT0 的占空比由对应的 PWMDUT 决定，即 LEDUT 的起效在 PWMPOL 之后； 3. 发送数据“1”的占空比都由同一个 LEDUT 决定。 |

18 SPI接口

18.1 SPI 简介

CA32F0323 系列芯片内置 2 个 SPI 接口，支持主从模式，最高支持 24M 速率，输入、输出各有 1 个 16x8 FIFO。SPI 接口能够实现芯片与其他设备以半/全双工同步传输数据。外围设备可以是其它的 MCU、ADC、传感器或闪存存储器等。SPI 可以是三线或者四线，有以下特点。

18.2 SPI 主要特性

- 支持主机或从机操作
- 可选择最低位或最高位优先传输
- 4 种可编程的比特率
- 可编程的极性和相位
- 发送结束中断标志
- 写入冲突标志保护机制
- 支持主模式故障出错中断
- 输入、输出各有 1 个 16x8 FIFO

表 18-1 SPI 工作模式

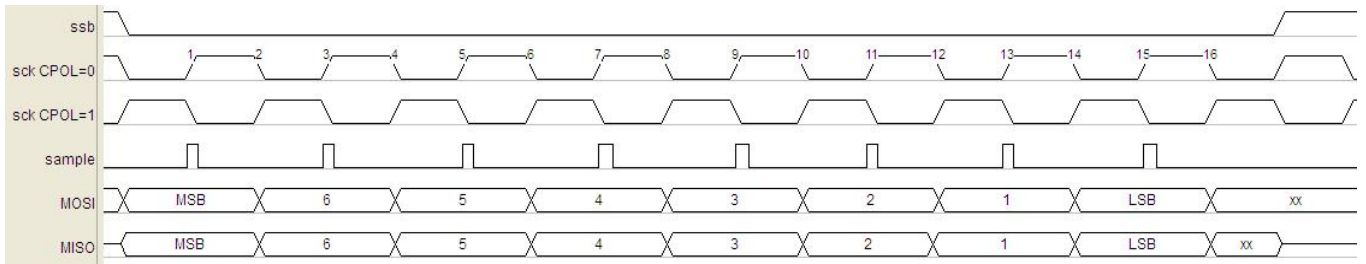
| 名称 | 描述 |
|------|--|
| 主机模式 | 所有的传输行为都由主机发起，包括 SCK 和 SSB 信号的产生等。 当设置 MSTR 位为 1，SPI 处于主机模式。用户需要另选择一个 GPIO 作为片选引脚，连接从机 SSB，数据传输开始前，主机拉低这个引脚，传输结束后拉高。 在主机模式，写入寄存器 SPDAT 的会启动数据传输。数据在时钟有效沿从 MOSI 移位输出。 |
| 从机模式 | 当设置 MSTR 位为 0，SPI 处于从机模式。 当 SSIG 为 1，则 SSB 引脚无效，SPI 为三线通信，从机默认片选有效；当 SSIG 为 0，SSB 引脚有效，SSB 为低电平表示从机被片选。 |

表 18-2 SPI 接口引脚描述

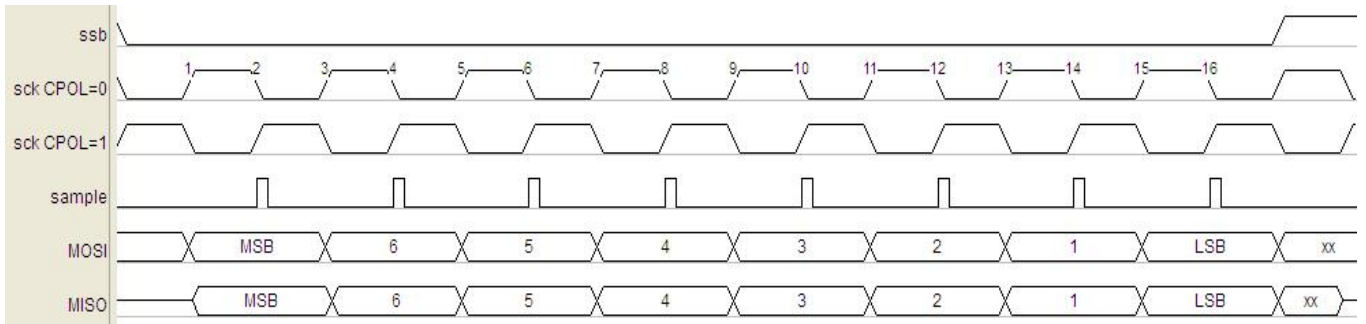
| 名称 | 描述 |
|------|---|
| MOSI | 主机输出，从机输入 当 SPI 作为主机时该引脚为主机数据输出端口，作为从机时为从机数据输入端口 |
| MISO | 主机输入，从机输出 当 SPI 作为主机时该引脚为主机数据输入端口，作为从机时为从机数据输出端口 |
| SCK | 串行时钟 当 SPI 作为主机时该引脚为串行时钟输出端口，作为从机时为串行时钟输入端口 |
| SSB | 从机选择 当 SPI 引脚主机时该引脚为从机选择输入端口，作为从机时为从机选择输入端口 |

表 18-3 SPI 相位与极性

| 名称 | 描述 |
|------|---|
| CPHA | 相位控制位 0: 表示在 SCK 奇数边缘 (1,3,5,...,15) 采样数据 1: 表示在 SCK 偶数边缘 (2,4,6,...,16) 采样数据 |
| CPOL | 极性控制位 0: 表示 SCK 空闲时处于低电平 1: 表示 SCK 空闲时处于高电平 |



CPHA=0 时 SPI 时序图



CPHA=1 时 SPI 时序图

18.3 SPI 寄存器描述

18.3.1 SPI 寄存器概览

表 18-4 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|--------|-----------|--------|
| 0x00 | SPI_CR | SPI 控制寄存器 | 0x0000 |
| 0x04 | SPI_DR | SPI 数据寄存器 | 0x0000 |
| 0x08 | SPI_SR | SPI 状态寄存器 | 0x0000 |

18.3.2 SPI 控制寄存器(SPI_CR)

地址偏移: 0x00

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|------|-----------|-------------|-------------|-------------|----|----|----|-------|------|------|------|------|------|------|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPIE | TXEMPTYEN | TXEMPTYVREN | TXEMPTYVREN | TXEMPTYVREN | 保留 | 保留 | 保留 | SPIEN | LSBF | SSIG | MSTR | CPOL | CPHA | CKOS | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

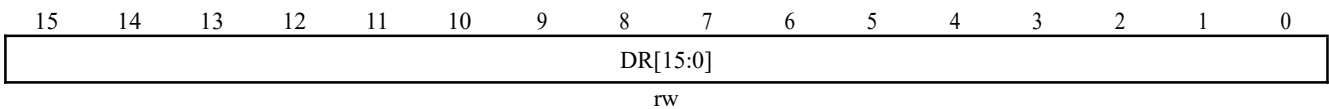
| 位域 | 名称 | 描述 |
|----|-----------|-------------------------|
| 15 | SPIE | SPIE SPI 数据完成及错误标志中断使能 |
| 14 | TXEMPTYEN | TXEMPTYEN TXFIFO 为空中断使能 |

| | | |
|------|--------------|---|
| 13 | TXEMPTYOVREN | TXEMPTYOVREN TXFIFO 下溢中断使能 |
| 12 | TXEMPTYOVREN | RXFULLEN RXFIFO 满中断使能 |
| 11 | TXEMPTYOVREN | RXFULLOVREN RXFIFO 溢出中断使能 |
| 10:8 | - | 保留 |
| 7 | SPIEN | SPI 模块使能位, 1 有效 |
| 6 | LSBF | LSBF 低位或高位优先发送/接收选择位 0: 高位先发 1: 低位先发 |
| 5 | SSIG | SSB 引脚无效控制位, 默认为 0, 此时 SSB 信号有效 |
| 4 | MSTR | MSTR 主机/从机选择位 0: 从机 1: 主机 |
| 3 | CPOL | CPOL 时钟极性选择位 0: 默认情况下时钟为低 1: 默认情况下时钟为高 |
| 2 | CPHA | CPHA 时钟相位选择位 0: 在时钟离开默认情况时采样数据 1: 在时钟回到默认情况时采样数据 |
| 1:0 | CKOS | CKOS SPI 输出时钟选择位 00: 1/8 PCLK 时钟 01: 1/16 PCLK 时钟 10: 1/2 PCLK 时钟 11: 1/4 PCLK 时钟 |

18.3.3 SPI 数据寄存器 (SPI_DR)

地址偏移: 0x04

复位值: 0x0000

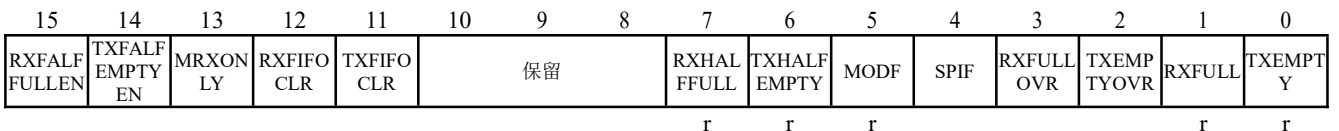


| 位域 | 名称 | 描述 |
|------|----|---|
| 15:0 | DR | DR[7:0]: 数据寄存器 待发送或者已经收到的数据 数据寄存器对应两个 16X8 的 fifo: 一个用于写 (发送缓冲); 另外一个用于读 (接收缓冲)。写操作将数据写到发送 fifo; 读操作将返回接收 fifo 里的数据 |

18.3.4 SPI 状态寄存器 (SPI_SR)

地址偏移: 0x08

复位值: 0x0002



| 位域 | 名称 | 描述 |
|------|---------------|---|
| 15 | RXFALFFULLEN | 接收半满中断使能 |
| 14 | TXFALFEMPTYEN | 发送半空中断使能 |
| 13 | MRXONLY | 1 表示主机只接收模式 |
| 12 | RXFIFOCLR | RXFIFO 清 0 |
| 11 | TXFIFOCLR | TXFIFO 清 0 |
| 10:8 | - | 保留 |
| 7 | RXHALFFULL | 接受半满标志位，硬件自动清 0 |
| 6 | TXHALFEMPTY | 发送半空标志位，硬件自动清 0 |
| 5 | MODF | 故障模式标志位，1 有效，表明 SSB 在不正确的逻辑电平下，写 1 清 0，有效时会产生中断 |
| 4 | SPIF | 数据传输完成标志位，1 有效，写 1 清 0，有效时会产生中断 |
| 3 | RXFULLOVR | RXFIFO 溢出标志位，写 1 清 0 |
| 2 | TXEMPTYOVR | TXFIFO 为空下溢标志位，写 1 清 0 |
| 1 | RXFULL | RXFIFO 满标志位，硬件自动清 0 |
| 0 | TXEMPTY | TXFIFO 为空标志位，硬件自动清 0 |

19 TMC 定时器

19.1 TMC 功能简介

TMC 定时器的时钟源可选 LSI 或 LSE。中断时间最小单位为 128 个时钟周期,可配置中断时间为 1~256 个最小单位时间。在 STOP 模式下, TMC 中断可唤醒 CPU。

19.2 TMC 寄存器概览

表 19-1 TMC 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|--------|---------------|--------|
| 0x00 | TMC_CR | TMC 控制寄存器 | 0x0000 |
| 0x04 | TMC_MS | TMC 中断时间配置寄存器 | 0x0000 |

19.2.1 TMC 控制寄存器高位 (TMC_CR)

地址偏移量: 0x00

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|-----------|----|---|---|---|---|---|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | TMCE N | 保留 | | | | | | TMF |
| | | | | | | | | rw | | | | | | | rw |

| 位域 | 名称 | 描述 |
|------|-------|-------------------------|
| 15:8 | - | 保留 |
| 7 | TMCEN | TMC 模块使能, 1 有效 |
| 6:1 | - | 保留 |
| 0 | TMF | TMC 中断标志, 1 有效, 写 1 清 0 |

19.2.2 TMC 控制寄存器低位 (TMC_MS)

偏移地址: 0x04

复位值: 0x0020

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|--------|---|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | TMC_MS | | | | | | | |
| | | | | | | | | rw | | | | | | | |

| 位域 | 名称 | 描述 |
|------|--------|--|
| 15:8 | - | 保留 |
| 7:0 | TMC_MS | TMC 中断时间配置寄存器, TMC 的中断时间为 (TMC_MS+1) 128×Tirc1 注: Tirc1 为 TMC 时钟一个周期时间。 |

20 模/数字转换器 (ADC)

20.1 功能简介

模拟/数字转换器为 12 位逐次逼近寄存器型 (SAR) ADC，最多可提供 22 个输入通道及 1 个内部通道。ADC 的时钟源为系统时钟，可设置时钟预分频。ADC 具备多种参考电压源可供选择。当选择内部电压作为参考电压时，可用于检测芯片的供电电压。此外，当 ADC 选择内部电压为参考电压时，当 ADCALE=1 时具备自动校正功能，可避免芯片一致性问题。

20.2 主要特性

- 12 位高速 ADC，最多可提供 22 个输入通道及 1 个内部通道
- 支持 ADC 中断
- 支持单次或循环扫描模式
- 支持多通道单次或连续采样，最多可同时 6 个通道采样
- 多通道连续采样支持比较功能，支持高级定时器刹车
- 支持比较器、运放、高级定时器、外部中断 15 触发 ADC
- 可设置 ADC 时钟预分频
- 多种参考电压可选：内部参考电压、外部参考、VDD
- 支持 VDD 和参考地电压的测量
- 选择内部参考电压时，支持自动数据校正功能
- 选择内部 ADC 通道采用内部参考电压时，可测量 1/4VDD 电压
- 输入电压范围：VSS<=VIN<=参考电压

20.3 结构框图

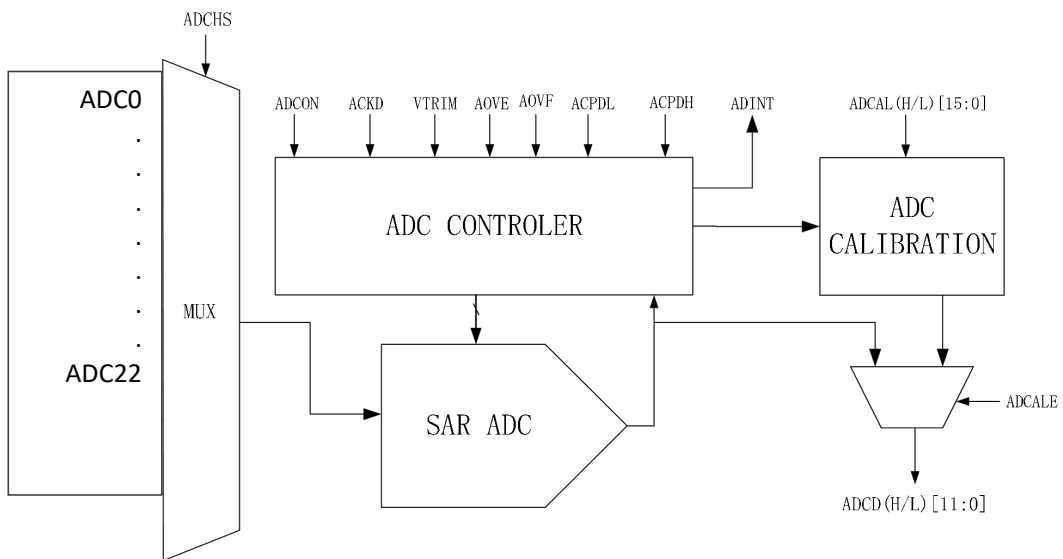


图 20-1 ADC 结构示意图

20.4 功能描述

ADC 的启动通过 AST 位使能，设置 AST=1 后，ADC 模块对 ADCHS 选择的输入电压源进行模/数转换。ADC 可通过 ACKD 设置时钟预分频，由系统时钟预分频后的时钟作为 ADC 转换时钟。在 ADC 时钟不变的条件下，ADC 的单次转换时间是由 HTME 设置的，转换时间为 $(13+2^{\text{HTME}})$ 个 ADC 时钟周期。当转换结束后，12 位的 A/D 值会被加载到寄存器 ADCDH、ADCDL，转换完后的 2.5 个时钟周期，AST 位自动清 0，同时中断标志 ADIF 位会置 1，如果 ADC 中断使能，会产生 ADC 中断。图 19-2 为 ADC 的转换时序图。

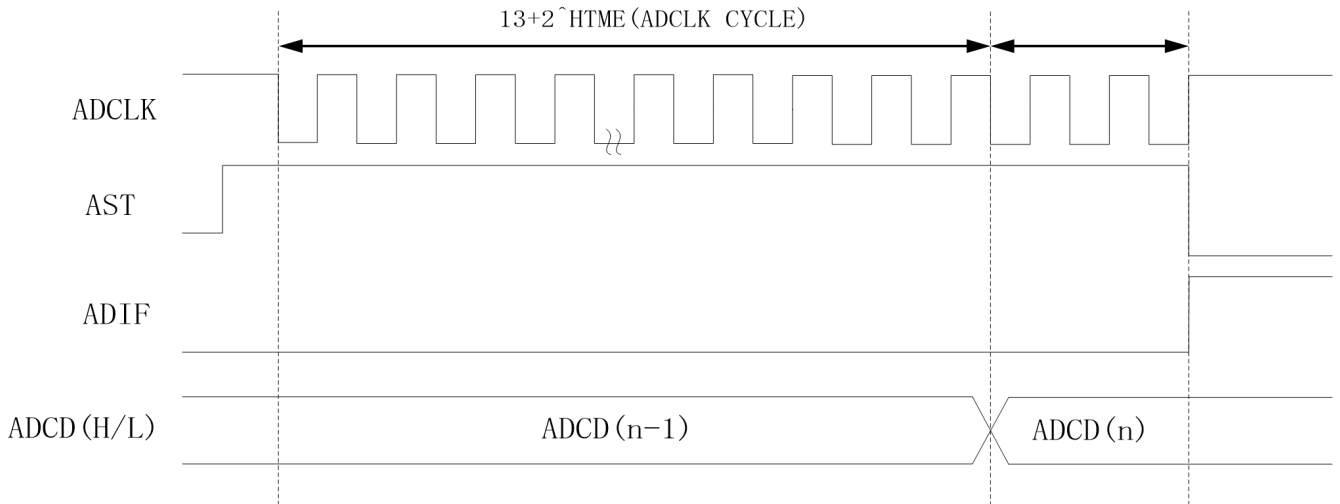


图 20-2 ADC 时序示意图

- 单次：操作 AST 位使能启动一次 ADC，采集完成后自动清除，下次采集需要再次启动采集。
- 循环扫描模式：操作 AST 位使能位或定时器/外部中断相应触发电平一次后就会进入循环采集模式。
- 中断触发：定时器电平或外部中断触发引脚有相应配置的电平时就会触发 ADC 启动采样。

备注：在循环模式时不论单或多通道模式，一次采集完后在相应中断标志产生后必须第一时间将数据取走，否则就会被下次的的数据覆盖。

■ ADC 数据校正

当选择内部 1.5V 作为参考电压时，由于芯片的离散性，每个芯片的内部电压不一定完全相同，导致每个芯片的 ADC 转换结果也有一定的偏差，所以在 ADC 转换完成后，有必要对 AD 值进行校正。芯片在出厂时，会对每个芯片的内部电压进行测试，得出与内部电压成反比例的校正系数，在芯片上电启动时，自动将此校正系数加载到寄存器 ADCALL、ADCALH，当 ADC 转换完成后自动将 AD 值根据校正寄存器 ADCALL、ADCALH 的值进行等比例换算，得出准确的 AD 值，最终的 AD 值也是存放在寄存器 ADCD 中。此功能通过 ADCALE 使能，对于用户来说，在应用时只需要设置 ADCALE=1 即可，校正过程是自动完成的。

20.5 ADC 寄存器概览

表 20-1 ADC 寄存器概览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|-----------|----------------|--------|
| 0x18 | ADCFG | 配置寄存器 | 0x0000 |
| 0x1C | ADCCAL | 校准寄存器 | 0xxxx |
| 0x20 | ADCPDL | 比较模式阈值下限值设定寄存器 | 0x0000 |
| 0x24 | ADCPDH | 比较模式阈值上限值设定寄存器 | 0x0000 |
| 0x28 | ADCDA | 数据寄存器 | 0x0000 |
| 0x2C | ADCTRL | 控制寄存器 | 0x0000 |
| 0x34 | ADCSEQ | 连续转换控制寄存器 | 0x0000 |
| 0x38 | ADCCHSEL | 连续转换通道选择寄存器 | 0x0000 |
| 0x3C | ADCDALAT0 | 连续转换第 0 通道数据 | 0x0000 |
| 0x40 | ADCDALAT1 | 连续转换第 1 通道数据 | 0x0000 |
| 0x44 | ADCDALAT2 | 连续转换第 2 通道数据 | 0x0000 |
| 0x48 | ADCDALAT3 | 连续转换第 3 通道数据 | 0x0000 |
| 0x4c | ADCDALAT4 | 连续转换第 4 通道数据 | 0x0000 |
| 0x5c | ADCDALAT5 | 连续转换第 5 通道数据 | 0x0000 |

20.5.1 ADC 控制信号寄存器（ADCFG）

偏移地址：0x18

复位值：0x00000000

| | | | | | | | | | | | | | | | |
|----|------|------|-----------|----|----|----|-------|------|------------|-------|----|----|------|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | AOVF | AOVE | ADCH[4:0] | | | | ADCIF | ADIE | AST/ADC_EN | HTIME | | | VSEL | | |
| | r | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------------|--|
| 15 | - | 保留 |
| 14 | AOVF | AOVF: 比较模式溢出标志位 |
| 13 | AOVE | AOVE: 比较模式使能位, 1 有效 |
| 12:8 | ADCH | ADCH: 通道选择信号: 为 1 时选择该通道, 为 0 时通道不选择, 一次只能选择一个通道 (由数字控制)。 ADC_CH<22:0>选择来自 PAD 的信号 ADC_CH<25>VDD/4 连续采样时, 必须第 1 个通道的值由 MCU 程序写入 |
| 7 | ADCIF | ADCIF:ADC 中断采样完成标志位, 写 1 清 0 当 ADC 发生了采样完成事件, 该位被置'1'。在该位中写入'1'可以清除它, |
| 6 | ADIE | ADIE:ADC 中断使能位, 1 有效 |
| 5 | AST/ADC_EN | AST/ADC_EN:ADC 转换开始控制位, 写 1 启动转换, 转换后硬件自动清 0 连续扫描通道时, 必须先配置好连续扫描通道个数及选择通道位置 |
| 4:2 | HTIME | HTIME: 采样时间控制位: 111: 采样时间为 128 个 ADC_CLK 110: 采样时间为 64 个 ADC_CLK 101: 采样时间为 32 个 ADC_CLK |

| | | |
|-----|------|---|
| | | 100: 采样时间为 16 个 ADC_CLK 011: 采样时间为 8 个 ADC_CLK 010: 采样时间为 4 个 ADC_CLK 001: 采样时间为 2 个 ADC_CLK 000: 采样时间为 1 个 ADC_CLK |
| 1:0 | VSEL | VSEL: 参考电压选择位: 00: 内部 1.5V 参考电压 01: 外部电源 VDD 作为参考电压 10: 外部参考电压 Vref 11: 内部 1.5V 参考电压 备注: 当参考电压选择为外部 Vref 时, Vref 的电压必须大于 1.1V, 小于 VDD。 |

20.5.2 ADC 校准寄存器 (ADCCAL)

地址偏移: 0x1C
复位值: 0x0000 8000

| | | | | | | | | | | | | | | | |
|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCCAL[15:4] | | | | | | | | | | | | 保留 | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|--------|---|
| 15:4 | ADCCAL | ADCCAL: ADC 校准寄存器, 只有 ADCALE=1 并且选择参考电压为内部 1.5V 才有效。有效时, ADC 的输出按照如下公式: $ADC_{DL} = (ADC \text{ 转换结果} * ADCCAL) / 32768$ |
| 3:0 | - | 保留 |

20.5.3 ADC 比较模式阈值下限值设定寄存器 (ADCDPL)

地址偏移: 0x20
复位值: 0x0000

| | | | | | | | | | | | | | | | |
|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCDPL[15:4] | | | | | | | | | | | | 保留 | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|--------|------------------------|
| 15:4 | ADCDPL | ADCDPL: 比较模式阈值下限值设定寄存器 |
| 3:0 | - | 保留 |

20.5.4 ADC 比较模式阈值上限值设定寄存器 (ADCDPH)

地址偏移: 0x24
复位值: 0x0000

| | | | | | | | | | | | | | | | |
|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCDPH[15:4] | | | | | | | | | | | | 保留 | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|----|----|----|
| | | |

| | | |
|------|--------|------------------------|
| 15:4 | ADCDPH | ADCDPH: 比较模式阈值上限值设定寄存器 |
| 3:0 | - | 保留 |

20.5.5 ADC 转换值寄存器 (ADCDA)

地址偏移: 0x28

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------------|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCDA[15:4] | | | | | | | | | | | | 保留 | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | | | |

| 位域 | 名称 | 描述 |
|------|-------|---|
| 15:4 | ADCDA | ADCDA: ADC 转换值 连续采样时, 该寄存器保存为最后一个通道的数据 |
| 3:0 | - | 保留 |

20.5.6 ADC 控制寄存器 (ADCTRL)

地址偏移: 0x2C

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|--------------------|--------|----|----|----|----|--------------|----|----|----|--------|-----------------|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADC MPB RKIE | ADCALE | 保留 | | | | ADC_DIV[9:4] | | | | ADC1ST | ADC_TRGSEL[2:0] | | | | |
| rw | rw | | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|------------|--|
| 15 | ADCMPIBKIE | ADC 比较结果是否影响 TIM1 的 Break, 1 表示使能比较结果出发 Break 刹车 |
| 14 | ADCALE | ADC 校准使能位, 1 有效; 此位只有选择参考电压为内部 1.5V 时才有效, 当 ADCALE=1, ADC 的转换结果将根据 ADCAL 寄存器的数值进行校准。具体参考寄存器 ADCAL 说明 |
| 13:10 | - | 保留 |
| 9:4 | ADC_DIV | ADCDIV: ADC 时钟分频 0: PCLK 时钟 2 分频 1: PCLK 时钟 4 分频 2: PCLK 时钟 6 分频 3: PCLK 时钟 8 分频 ... 63: PCLK 时钟 128 分频 |
| 3 | ADC1ST | ADC 模拟部分开启, 1 表示开启, 0 表示关闭 |
| 2:0 | ADC_TRGSEL | ADC_TRGSEL: ADC 触发启动选择寄存器: 0: 关闭出发选项 1: timer1 ch4 高电平触发 2: timer1 trgo 高电平触发 3: timer1 ch3 高电平触发 4: timer1 ch2 高电平触发 5: timer1 ch1 高电平触发 6: exti4 高电平触发 7: exti15 高电平触发 |

20.5.7 扫描模式控制寄存器 (ADCSEQ)

偏移地址: 0x34
 复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----|-----------|----|----|----|----|-----------|----|----|----|----|----|-----------|----|----|----------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | ADCCH2SEL | | | | | ADCCH1SEL | | | | | 保留 | ADCSEQNUM | | | ADCSEQEN |
| | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|-----------|---|
| 15 | - | 保留 |
| 14:10 | ADCCH2SEL | ADC 连续扫描通道 3 位置选择 |
| 9:5 | ADCCH1SEL | ADC 连续扫描通道 2 位置选择 |
| 4 | - | 保留 |
| 3:1 | ADCSEQNUM | ADC 连续扫描通道个数, 最多支持 6 个通道连续扫描, 0 表示 1 个通道, 5 表示 6 个通道, |
| 0 | ADCSEQEN | ADC 连续扫描模式开启 |

20.5.8 扫描通道选择寄存器 (ADCCHSEL)

地址偏移: 0x38
 复位值: 0x0000 0000

| | | | | | | | | | | | | | | | |
|--------|-----------|----|----|----|----|-----------|---|---|---|---|-----------|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| LOOPEN | ADCCH5SEL | | | | | ADCCH4SEL | | | | | ADCCH3SEL | | | | |
| rw | rw | | | | | rw | | | | | rw | | | | |

| 位域 | 名称 | 描述 |
|-------|-----------|---|
| 15 | LOOPEN | 循环扫描模式使能 1:表示循环扫描启动 0:表示关闭循环扫描模式, 但是 adc 还会完成当前的单词或连续采样过程 |
| 14:10 | ADCCH5SEL | ADC 连续扫描通道 6 位置选择 |
| 9:5 | ADCCH4SEL | ADC 连续扫描通道 5 位置选择 |
| 4:0 | ADCCH3SEL | ADC 连续扫描通道 4 位置选择 |

20.5.9 ADCDALAT0

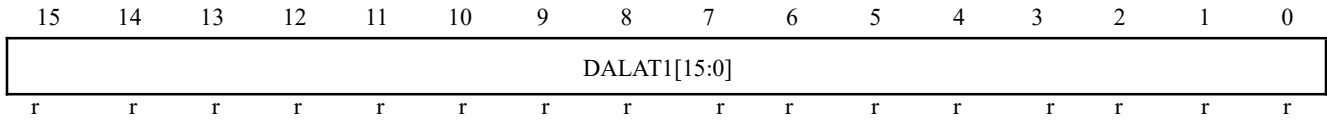
地址偏移: 0x3C
 复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-----------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCDALAT0[15:0] | | | | | | | | | | | | | | | |
| r | r | r | r | r | r | r | r | r | r | r | r | r | r | r | r |

| 位域 | 名称 | 描述 |
|------|-----------|-------------------|
| 15:0 | ADCDALAT0 | ADC 连续扫描通道 0 数据锁存 |

20.5.10 ADCDALAT1

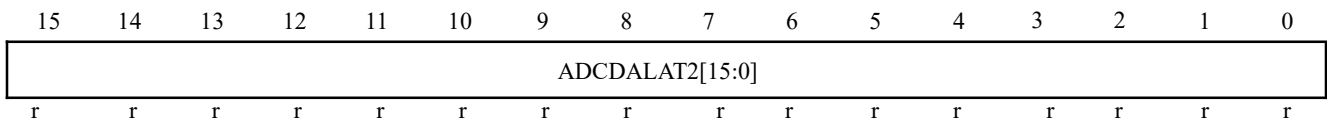
地址偏移: 0x40
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|--------|-------------------|
| 15:0 | DALAT1 | ADC 连续扫描通道 1 数据锁存 |

20.5.11 ADCDALAT2

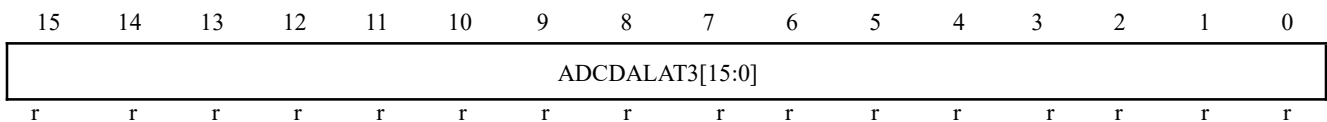
地址偏移: 0x44
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|-----------|-------------------|
| 15:0 | ADCDALAT2 | ADC 连续扫描通道 2 数据锁存 |

20.5.12 ADCDALAT3

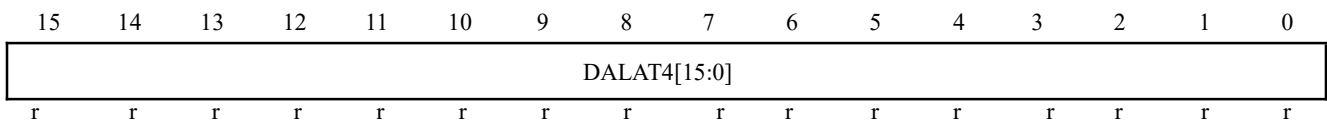
地址偏移: 0x48
 复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|-----------|-------------------|
| 15:0 | ADCDALAT3 | ADC 连续扫描通道 3 数据锁存 |

20.5.13 ADCDALAT4

地址偏移: 0x4C
 复位值: 0x0000

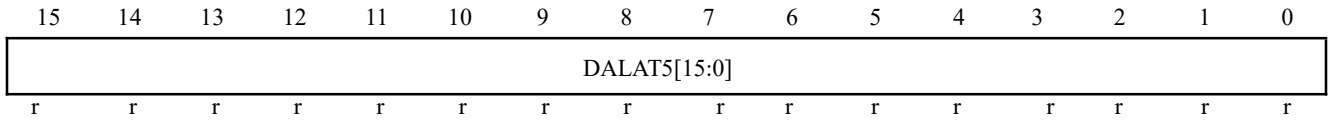


| 位域 | 名称 | 描述 |
|------|--------|-------------------|
| 15:0 | DALAT4 | ADC 连续扫描通道 4 数据锁存 |

20.5.13 ADCDALAT5

地址偏移: 0x5C

复位值: 0x0000



| 位域 | 名称 | 描述 |
|------|--------|-------------------|
| 15:0 | DALAT5 | ADC 连续扫描通道 5 数据锁存 |

21 可编程运放(PGA)

21.1 PGA 简介

CA32F0323 有 1 个独立的可编程运放(PGA)，运算放大器有 1 个输入 1 个输出。这 2 个 IO 可以连接到外部引脚，从而实现与外部互连。PGA 的输入范围是 0V 到 VDD，输出范围是 0V 到 VDD，可编程增益设置为 4X、8X、16X、32X、64X、128 倍

21.2 PGA 主要特征

- 轨至轨输入输出电压范围
- 可编程增益输出

21.3 PGA 寄存器

PGA 寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|--------|-----------|--------|
| 0x00 | PGA_CR | PGA 配置寄存器 | 0x0000 |

21.3.1 PGA 配置寄存器

地址偏移: 0x00

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|----------|----------|-----------|-----------|--------|----------|----|----------|-------|------------|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OP1_DI_N | OP0_DI_N | OP1_DI_EN | OP0_DI_EN | PGA_EN | PGA_GAIN | | PGA_SE_L | PGA_O | PGA_OSTRIM | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----------|--|
| 15 | OP1_DIN | OP1 的数字化输入 |
| 14 | OP0_DIN | OP0 的数字化输入 |
| 13 | OP1_DI_EN | OP1 的数字化输入使能 |
| 12 | OP0_DI_EN | OP0 的数字化输入使能 |
| 11 | PGA_EN | PGA 模块使能 |
| 10:8 | PGA_GAIN | PGA 增益 运放的增益选择位， AMP_A_GAIN<2:0>= 000: VOUT: VN=1: 1 001: VOUT: VN=2: 1 010: VOUT: VN=4: 1 011: VOUT: VN=8: 1 100: VOUT: VN=16: 1 101: VOUT: VN=32: 1 110: VOUT: VN=64: 1 111: VOUT: VN=128: 1 |

| | | |
|-----|------------|--|
| 7 | PGA_SEL | PGA 模块 VSS 选择信号, 0: 内部 VSS, 1: PGA_GND。 |
| 6 | PGA_O | PGA_O 输出控制信号 0: 无输出 1: 有输出 |
| 5:0 | PGA_OSTRIM | PGA 模块运放的矫正位: OS0_TRIM<5>选择方向, 为 0 时, 增加负端电压; 为 1 时, 减小负端电压。 调整电压=0.4*OS0_TRIM<4: 0>mV |

22 模拟比较器 (COMP)

22.1 模拟比较器简介

CA32F0323 内置 2 个模拟比较器，每个比较器完全独立，它们不共享任何资源。

比较器可用于多种功能：

- 支持比较器中断功能
- 支持基准电压可选 1.5V 或 VDD，16 级电压阈值设置
- 支持比较器模块内接 ADC 测量功能

22.2 比较器寄存器

表 21-1 比较器寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|---------|-------------|--------|
| 0x60 | CMP_CR0 | COMP0 配置寄存器 | 0x0000 |
| 0x64 | CMP_CR1 | COMP1 配置寄存器 | 0x0000 |
| 0x68 | CMP_CR | COMP 配置寄存器 | 0x0000 |

22.2.1 COMPx 配置寄存器 (CMP_CRx)

地址偏移：0x60,0x64

复位值：0x0000

| | | | | | | | | | | | | | | | |
|-----|----|-------|----|--------|--------|--------|---|---------|---|---|---------|---|---|---------|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OUT | IE | BRKIE | EN | HY_PEN | HY_NEN | HY_SEL | | OS_TRIM | | | INP_SEL | | | INN_SEL | |

| 位域 | 名称 | 描述 |
|-----|---------|--|
| 15 | OUT | 比较器输出结果 |
| 14 | IE | 中断使能 |
| 13 | BRKIE | 比较器输出结果触发 TIM1 刹车 0:表示 cmp 输出结果不控制 timer break 刹车功能 1:表示 cmp 输出结果控制 timer break 使能 |
| 12 | EN | 比较器使能信号 0:不使能 1:使能 |
| 11 | HY_PEN | 比较器正端迟滞使能，1 使能，0 不使能 (INP<INN) |
| 10 | HY_NEN | 比较器负端迟滞使能，1 使能，0 不使能 (INP>INN) |
| 9:8 | HY_SEL | 比较器迟滞选择 00:无 01: 10mV 10: 20mV 11: 30mV |
| 7:4 | OS_TRIM | 比较器内部失调校正， |

| | | |
|-----|---------|---|
| | | OS_TRIM<3>为方向选择位。 OS_TRIM<3>=0 时，输出翻转点对应 INP 的值变大，OS_TRIM<2:0>每增加一位，输出翻转点对应 INP 的值变大 1mV。 OS_TRIM<3>=1 时，输出翻转点对应 INP 的值变小，OS_TRIM<2:0>每增加一位，输出翻转点对应 INP 的值变小 1mV。 |
| 3:1 | INP_SEL | INP 参考电压调选择 000: CMP_P0 001: CMP_P1 010: CMP_P2 011: 无效 100: CMP_P4 101: CMP_P5 110: PGA_OUT 111: 无效 |
| 0 | INN_SEL | 比较器负端选择 0: 外部管脚 1: 内部电压 |

22.2.2 COMP 配置寄存器 (CMP_CR)

地址偏移: 0x68

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------|-------|----|----|----|----------------|----------------|----------------|----------|----|----|----|--------|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| C0FLG | C1FLG | 保留 | | | C1INP OLSEL | C0INP OLSEL | INNRE FVSEL | INNVTRIM | | | | FLTSEL | | | |
| rw | rw | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|-------|------------|--|
| 15 | C0FLG | CMP0 中断标志位，写 1 清 0 |
| 14 | C1FLG | CMP1 中断标志位，写 1 清 0 |
| 13:11 | - | 保留 |
| 10 | C1INPOLSEL | 比较器 1 输入极性选择信号 0: INP1 接内部基准电压，INN1 接外部输入信号。 1: INP1 接外部输入信号，INN1 接内部基准电压。 |
| 9 | C0INPOLSEL | 比较器 0 输入极性选择信号 0: INP0 接内部基准电压，INN0 接外部输入信号。 1: INP0 接外部输入信号，INN0 接内部基准电压。 |
| 8 | INNREFVSEL | 内部基准电压选择信号 0: VDD5 1: 1.5V |
| 7:4 | INNVTRIM | 内部电压分压信号，分压比例为 VTRIM/16 |
| 3:0 | FLTSEL | 滤波选择 |

23 运算放大器 (OP)

23.1 OP 介绍

CA32F0323 有 2 个独立运算放大器，每个运算放大器有 2 个输入 1 个输出。这 3 个 IO 可以连接到外部引脚，从而实现任何类型的外部互连。

23.2 OP 主要特征

- 轨至轨输入输出电压范围
- 低输入偏置电流
- 低输入偏置电压
- 高频增益带宽
- 高摆率

23.3 OP 寄存器

OP 寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|-------|----------|--------|
| 0x00 | OP_CR | OP 配置寄存器 | 0x0000 |

23.3.1 OP 配置寄存器

地址偏移: 0x50

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|--------|----------|----------|----|----|----|--------|----------|----------|----|----|----|----|----|----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OP1_EN | INP1_SEL | OS1_TRIM | | | | OP0_EN | INP0_SEL | OS0_TRIM | | | | | | | |
| rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW | rW |

| 位域 | 名称 | 描述 |
|------|----------|--|
| 15 | OP1_EN | OP1_EN 运放 1 使能信号 0:不使能 1:使能 |
| 14 | INP1_SEL | INP1_SEL 运放 1 正端选择 0:选择接到 PAD 1:选择接到 1.5V 内部电压 |
| 13:8 | OS1_TRIM | OS1_TRIM 运放 1 的矫正位: OS1_TRIM<5>选择方向, 为 0 时, 增加负端电压; 为 1 时, 减小负端电压。 调整电压=0.4*OS1_TRIM<5: 0>mV |
| 7 | OP0_EN | OP0_EN 运放 0 使能信号 0:不使能 1:使能 |
| 6 | INP0_SEL | INP0_SE 运放 0 正端选择 0:选择接到 PAD 1:选择接到 1.5V 内部电压 |
| 5:0 | OS0_TRIM | OS0_TRIM 运放 0 的矫正位: OS0_TRIM<5>选择方向, 为 0 时, 增加负端电压; 为 1 时, 减小负端电压。 调整电压=0.4*OS0_TRIM<5: 0>mV |

24 运算单元(HWDIV 和 HWSQRT)

24.1 HWDIV 简介

除法器（HWDIV）和开方运算器（HWSQRT）主要应用于某些对计算能效要求比较高的场景，用于部分补充微控制器在计算方面的不足。该除法器、开方计算器可执行无符号 32 位整数的除法运算或者开方计算。

24.2 HWDIV 功能描述

- 只支持 word 操作
- 8 个时钟周期完成一次无符号整数除法运算
- 32 位被除数，32 位除数，输出 32 位商和 32 位余数
- 32 位无符号被开方整数，16 位开方根输出
- 除数为零警告标志位，除法运算结束标志位

24.3 HWDIV 寄存器

HWDIV 寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|------------|-------------------|------------|
| 0x00 | HWDIV_CR | HWDIV 控制寄存器 | 0x00000000 |
| 0x04 | HWDIV_QUOT | HWDIV 被除数/商寄存器 | 0x00000000 |
| 0x08 | HWDIV_REMD | HWDIV 除数/余数寄存器 | 0x00000000 |
| 0x14 | HWSQRT_IN | HWSQRT 开平方输入数据寄存器 | 0x00000000 |
| 0x18 | HWSQRT_OUT | HWSQRT 开平方输出结果寄存器 | 0x00000000 |

24.3.1 HWDIV 配置寄存器(HWDIV_CR)

地址偏移：0x00

复位值：0x0000

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-----|----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 保留 | | | | | | | | | | | | | | ERR | ST |
| | | | | | | | | | | | | | | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----|---------------------------------|
| 15:2 | - | 保留 |
| 1 | ERR | 1 表示除法计算错误标志位，表示除数为 0，变更除数即可清 0 |
| 0 | ST | 1 表示除法计算使能，计算完成自动清零 |

24.3.2 HWDIV 被除数/商寄存器(HWDIV_QUOT)

地址偏移: 0x04

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HWDIV_QUOT[31:16] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HWDIV_QUOT[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------------|---------------------|
| 31:0 | HWDIV_QUOT | 写入数据为被除数; 读取数据为商 |

24.3.3 HWDIV 除数/余数寄存器(HWDIV_REMD)

地址偏移: 0x08

复位值: 0x0000

| | | | | | | | | | | | | | | | |
|-------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HWDIV_REMD[31:16] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HWDIV_REMD[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|------------|---------------------|
| 31:0 | HWDIV_REMD | 写入数据为除数; 读取数据为余数 |

24.3.4 HWSQRT 开平方输入数据寄存器(HWSQRT_IN)

地址偏移: 0x14

复位值: 0x0000

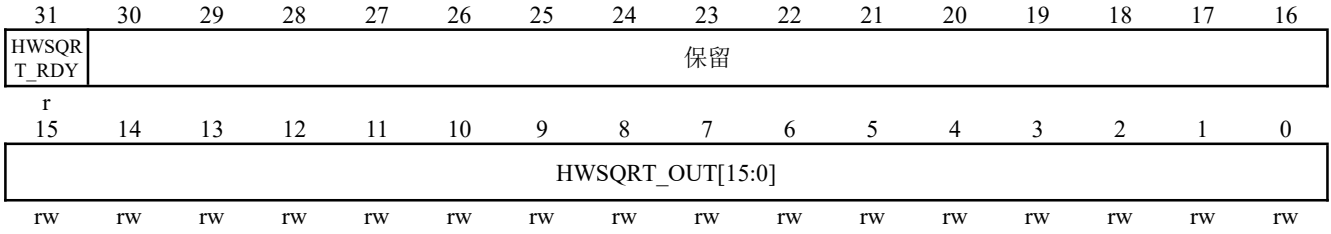
| | | | | | | | | | | | | | | | |
|------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HWSQRT_IN[31:16] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HWSQRT_IN[15:0] | | | | | | | | | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

| 位域 | 名称 | 描述 |
|------|-----------|-------------------------|
| 31:0 | HWSQRT_IN | 开平方输入数据, 输出结果有效之前不能再次写入 |

24.3.5 HWSQRT 开平方输出结果寄存器(HWSQRT_OUT)

地址偏移: 0x18

复位值: 0x0000



| 位域 | 名称 | 描述 |
|-------|------------|---|
| 31 | HWSQRT_RDY | HWSQRT_RDY:开平方输出结果有效位, 1 表示此时读取的开平方结果有效 |
| 30:16 | - | 保留 |
| 15:0 | HWSQRT_OUT | HWSQRT_OUT:平方根结果寄存器 (从写入开平方数据后 14 个时钟周期完成开平方运算) |

25 LVD 可编程电压监测器

25.1 LVD 简介

芯片内置 LVD 模块，2.0-4.2V 可配置，用户可以利用 LVD 对 VDD 电压与 LVD 控制寄存器（CR）中的 LEVEL[2:0]位进行比较来监控电源，这几位选择监控电压的阈值。当 VDD 下降到 LVD 阈值以下阈值时，根据设置，就会产生 LVD 中断。例如，这一特性可用于执行紧急关闭任务。

25.2 LVD 寄存器

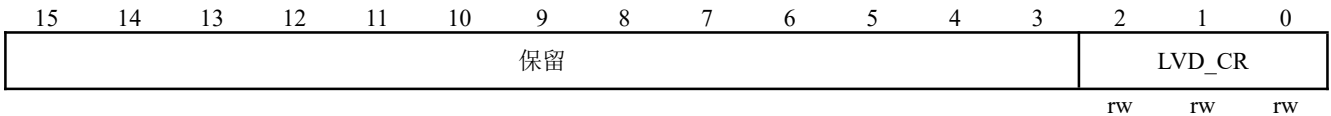
LVD 寄存器总览

| 地址偏移 | 寄存器缩写 | 寄存器名 | 复位值 |
|------|--------|-----------|------------|
| 0x00 | LVD_CR | LVD 控制寄存器 | 0x00000000 |

24.3 LVD 控制寄存器(LVD_CR)

地址偏移：0x00

复位值：0x0000



| 位域 | 名称 | 描述 |
|------|--------|---|
| 15:3 | - | 保留 |
| 2:0 | LVD_CR | LVD 检测电平选择： 0x00:检测电压 2.0V 0x01:检测电压 2.2V 0x02:检测电压 2.5V 0x03:检测电压 2.7V 0x04:检测电压 3.0V 0x05:检测电压 3.3V 0x06:检测电压 3.7V 0x07:检测电压 4.2V |

26 程序下载和仿真介绍

26.1 程序下载

CA32F0323 系列芯片主要采用 2 线下载方式下载程序，芯片通过 SWD/TCK 接口与下载工具相连接，默认的升级接口为 PA6(SWD),PA19(TCK)。

26.2 在线仿真

CA32F0323 系列芯片支持在线仿真，芯片与仿真器之间通过 SWD/TCK 接口进行通信，出厂默认的接口是 PA6 和 PA19。要注意的是，由于芯片与仿真器间通过 SWD/TCK 的管脚通信，所以与仿真器连接的引脚不能设置为其他功能。

更多关于仿真功能的细节可参考仿真器的相关文档介绍。

26.3 调试模式

在调试模式下（Cortex-M0 内核停止），IWDG 计数器将继续正常工作或停止，具体取决于调试模块中的 DBG_CTRL.IWDG_STOP 位。如果该位设置为“1”，则计数器停止。该位为“0”时，计数器正常工作。

27 电气特性

27.1 极限参数

| 参数 | 最小值 | 最大值 | 单位 |
|------------|------|---------|-----|
| 直流供电电压 | -0.3 | 6.0 | V |
| I/O 引脚输入电压 | -0.3 | VDD+0.3 | V |
| 工作环境温度 | -40 | 105 | °C |
| 储存温度 | -55 | 125 | °C |
| CPU 工作频率 | - | 48 | MHz |

备注：超过“极限参数”范围有可能对芯片造成损坏，无法预期芯片在上述范围外的工作状态，若长期在标示范围外工作，可能会影响芯片的可靠性。

27.2 直流电气特性

直流电气特性（TA=25°C，除非其它说明）

| 芯片参数 | 符号 | 工作电压 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件 |
|-------------------------|------|----------|------|---------|------|----|---|
| 工作电流 | | VDD=3.3V | - | 2.52 | | mA | 系统时钟为 HSI(16MHz),其他时钟关闭, LDO 设置为默认值(高功率模式, 输出电压为 1.5V), 所有输出引脚无负载, 所有数字输入引脚不浮动, 所有外设关闭, CPU 执行 NOP 指令 |
| | | VDD=5V | - | 2.58 | | | |
| | | VDD=3.3V | - | 4.05 | - | | 系统时钟为 PLL 输出, PLL 设置为 6 倍频(48MHz),参考时钟 HSI/2 频率为 8MHz, 其他时钟关闭, LDO 设置为默认值(高功率模式, 输出电压为 1.5V), 所有输出引脚无负载, 所有数字输入引脚不浮动, 所有外设关闭, CPU 执行 NOP 指令 |
| | | VDD=5V | - | 4.12 | - | | |
| Stop 模式电流 | Istp | VDD=3.3V | - | 8 | - | uA | 所有时钟关闭, 所有输出引脚无负载, 所有数字输入引脚不浮动, 所有外设关闭, LDO 设置为低功率模式, Flash 进入睡眠模式, CPU 进入 STOP 模式。 |
| | | VDD=5V | - | 8 | - | | |
| IO 端口输入高电压 (斯密特模式开启) | Vhi1 | VDD=3.3V | 1.82 | - | 3.3 | V | - |
| | | VDD=5V | 2.61 | - | 5 | | |
| IO 端口输入高电压 (斯密特模式关闭) | Vhi2 | VDD=3.3V | - | 0.5*VDD | 3.3 | V | - |
| | | VDD=5V | - | | 5 | | |
| IO 端口输入低电压 (斯密特模式开启) | Vlo1 | VDD=3.3V | 0 | - | 1.22 | V | - |
| | | VDD=5V | 0 | - | 1.7 | | |
| IO 端口输入低电压 (斯密特模式关闭) | Vlo2 | VDD=3.3V | 0 | 0.5*VDD | - | V | - |
| | | VDD=5V | 0 | | - | | |

| | | | | | | | |
|-----------|-----|----------|---|---|---|------------|--|
| IO 端口灌电流 | Io1 | VDD=3.3V | - | 2mA@ DRVN=0 6mA@ DRVN=1 8mA@ DRVN=2 12mA@ DRVN=3 | - | mA | IO 设为推挽输出模式，4 级驱动能力可选 (DRVN)， $V_{ol}=0.1*VDD$ |
| | | VDD=5V | - | 4mA@ DRVN=0 10mA@ DRVN=1 18mA@ DRVN=2 24mA@ DRVN=3 | - | | |
| IO 端口推电流 | Ioh | VDD=3.3V | - | 2mA@ DRVP=0 4mA@ DRVP=1 6mA@ DRVP=2 8mA@ DRVP=3 | - | mA | IO 设为推挽输出模式，4 级驱动能力可选 (DRVP)， $V_{oh}=0.9*VDD$ |
| | | VDD=5V | - | 3mA@ DRVP=0 8mA@ DRVP=1 12mA@ DRVP=2 16mA@ DRVP=3 | - | | |
| IO 端口下拉电阻 | Rd1 | - | - | 30 | - | | - |
| IO 端口上拉电阻 | Ru1 | - | - | 30 | - | K Ω | - |

说明：以上参数是随机抽取的典型芯片测试结果，仅供参考。不同型号的 FLASH 工作电流和低功耗模式的电流有差异。不同的芯片以及同一个芯片不同的 IO 口测量的上下拉电阻也有差异。

27.3 ESD/EFT 特性

| 符号 | 模式 | 条件 | 封装 | 最大值 | 单位 |
|------------------|----------------------|----------|--------|-------|----|
| V _{ESD} | 静电放电 (人体放电模式 HBM) | TA=+25°C | SSOP24 | ±8000 | V |
| | 静电放电 (组件放电模式 CDM) | | | ±1000 | V |
| | 静电放电 (机器放电模式 MM) | | | ±400 | V |

| 符号 | 条件 | 封装 | 通过值 | 单位 |
|-----|------------------------------------|--------|-------|----|
| EFT | F _{sys} = 48MHz / UART 通讯 | SSOP24 | ±4000 | V |

| 符号 | 条件 | 封装 | 通过值标准 |
|----------|-----------|--------|-------------------------------|
| LATCH UP | STEP:25mA | SSOP24 | JEDEC EIA/JESD78E Class IA |

27.4 LVD 电气参数

| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|-------------|------|-----|------|----|
| V _{LVD1} | 低压检测阈值 2.0V | 1.85 | 2.0 | 2.15 | V |
| V _{LVD2} | 低压检测阈值 2.2V | 2.05 | 2.2 | 2.35 | V |
| V _{LVD3} | 低压检测阈值 2.5V | 2.35 | 2.5 | 2.65 | V |
| V _{LVD4} | 低压检测阈值 2.7V | 2.55 | 2.7 | 2.85 | V |
| V _{LVD5} | 低压检测阈值 3.0V | 2.85 | 3.0 | 3.15 | V |
| V _{LVD6} | 低压检测阈值 3.3V | 3.15 | 3.3 | 3.45 | V |
| V _{LVD7} | 低压检测阈值 3.7V | 3.55 | 3.7 | 3.85 | V |
| V _{LVD8} | 低压检测阈值 4.2V | 4.05 | 4.2 | 4.35 | V |

27.5 ADC 电气参数

TA=25°C

| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 | |
|-------------------|--|--|-----|------------------|-------------------|----|
| V _{VDD} | ADC 工作电压 | 2.0 | - | 5.5 | V | |
| V _{REF1} | V _{VDD} 作为参考电压 | 2.0 | - | V _{VDD} | V | |
| V _{REF2} | 内部参考电压 | - | 1.5 | - | V | |
| V _{ADV} | 外部输入电压 | 1.1 | - | V _{REF} | V | |
| NR | 分辨率 | 12 | | | Bit | |
| DNL | 微分非线性误差 V _{REF} =V _{VDD} =5V, T _{ADCK} =0.5uS | ±2 | | | LSB | |
| INL | 积分非线性误差 V _{REF} =V _{VDD} =5V, T _{ADCK} =0.5uS | ±4 | | | LSB | |
| T _{ADCK} | ADC 时钟周期 | V _{REF} =V _{VDD} =5V | 42 | - | - | nS |
| | | V _{REF} | 42 | - | - | nS |
| T _{ADC} | ADC 转换时间 | - | 0.5 | - | T _{ADCK} | |
| F _S | 采样率 V _{REF} =V _{VDD} =5V | - | - | 1000 | KSPS | |

27.6 模拟比较器 (ACMP) 电气特性

$T_A=25^{\circ}\text{C}$, $V_{SE}=V_{IN+}-V_{IN-}$, $V_{DD}=5$, $V_{IN+} = 1\text{V}$, 除非其它说明。

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|----------|-------------|------|------------------------|---------|-----|
| VDD | 电源电源 | - | 2.0 | - | 5.5 | V |
| I _Q | 静态电流 | - | | | 0.1 | mA |
| I _{SD} | 关断电流 | - | | 10 | | nA |
| T _A | 工作温度 | - | -40 | 25 | 105 | °C |
| 输入特性 | | | | | | |
| V _{OS} | 输入失调电压 | 未校正 | | ±5 | | mV |
| | | 校正后 | | ±0.5 | | mV |
| I _{CM} | 共模输入电压范围 | - | -0.1 | | VDD+0.1 | V |
| V _{HYS} | 输入迟滞电压 | - | | 0 ±10 ±20 ±30 | | mV |
| 输出特性 | | | | | | |
| V _{OH} | 最大输出电压 | -40°C~105°C | | | VDD | V |
| V _{OL} | 最小输出电压 | -40°C~105°C | 0 | | | V |
| 频率特性 | | | | | | |
| A _{OL} | 开环增益 | - | | 90 | | dB |
| BW | 带宽 | - | | 100 | | MHz |
| PSRR | 电源抑制比 | -40°C~105°C | | 80 | | dB |
| CMRR | 共模抑制比 | -40°C~105°C | | 90 | | dB |
| 瞬态特性 | | | | | | |
| T _{STB} | 稳定时间 | - | | | 2 | μs |
| T _{PGD} | 响应延时 | - | | 25 | 50 | nS |

27.7 运算放大器（OP）电气特性

$T_A=25^{\circ}\text{C}$, $V_{SE}=V_{IN+}-V_{IN-}$, $V_{DD}=5$, $V_{IN+} = 1\text{V}$, 除非其它说明。

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------|----------|--|-----|------|---------|------|
| VDD | 电源电源 | - | 2.0 | - | 5.5 | V |
| IQ | 静态电流 | - | | | 0.2 | mA |
| ISD | 关断电流 | - | | 5 | | nA |
| TA | 工作温度 | - | -40 | 25 | 105 | °C |
| 输入特性 | | | | | | |
| Vos | 输入失调电压 | 未校正 | | ±3 | | mV |
| | | 校正后 | | ±0.1 | | mV |
| ICM | 共模输入电压范围 | - | 0 | | VDD-1.2 | V |
| 输出特性 | | | | | | |
| CLOAD | 电容性负载 | - | | 30 | | pF |
| VOH | 最大输出电压 | -40°C~105°C | | | VDD-0.1 | V |
| VOL | 最小输出电压 | -40°C~105°C | 0.1 | | | V |
| 频率特性 | | | | | | |
| AOL | 开环增益 | - | | 90 | | dB |
| BW | 带宽 | $R_{LOAD}=1\text{K}$, $C_{LOAD}=100\text{pF}$ | | 7 | | MHz |
| PSRR | 电源抑制比 | -40°C~105°C | | 85 | | dB |
| CMRR | 共模抑制比 | -40°C~105°C | | 90 | | dB |
| 瞬态特性 | | | | | | |
| SR | 摆率 | $R_{LOAD}=1\text{K}$, $C_{LOAD}=100\text{pF}$ | | ±10 | | V/μS |
| TPGD | 响应延时 | - | | | 2 | μS |

27.8 可编程运放 (PGA) 电气特性

$T_A=25^{\circ}\text{C}$, $V_{SE}=V_{IN+}-V_{IN-}$, $V_{DD}=5$, $V_{IN+}=1\text{V}$, 除非其它说明。

| 符号 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|----------|----------------------------------|----------|------|----------------|------|
| VDD | 电源电源 | - | 2.0 | - | 5.5 | V |
| I _Q | 静态电流 | - | | | 0.2 | mA |
| I _{SD} | 关断电流 | - | | 5 | | nA |
| T _A | 工作温度 | - | -40 | 25 | 105 | °C |
| 输入特性 | | | | | | |
| V _{OS} | 输入失调电压 | 未校正 | | ±3 | | mV |
| | | 校正后 | | ±0.1 | | mV |
| I _{CM} | 共模输入电压范围 | Gain=1、2、4、8、16、32、64、128 | 0.1/Gain | | (VDD-0.1)/Gain | V |
| 输出特性 | | | | | | |
| EG | 增益误差 | Gain=1、2、4、8、16 | -1 | | 1 | % |
| | | Gain=32 | -2 | | 2 | % |
| | | Gain=64、128 | -4 | | 4 | % |
| C _{LOAD} | 电容性负载 | | | 10 | | pF |
| V _{OH} | 最大输出电压 | -40°C~105°C | | | VDD-0.1 | V |
| V _{OL} | 最小输出电压 | -40°C~105°C | 0.1 | | | V |
| 频率特性 | | | | | | |
| BW | 带宽 | Gain=1, C _{LOAD} =10pF | | 5 | | MHz |
| PSRR | 电源抑制比 | -40°C~105°C, Gain=1 | | 85 | | dB |
| CMRR | 共模抑制比 | -40°C~105°C, Gain=1 | | 90 | | dB |
| 瞬态特性 | | | | | | |
| SR | 摆率 | Gain=16, C _{LOAD} =10pF | | 10 | | V/μS |
| T _{STB} | 稳定时间 | 内部输出 | | | 2 | μS |
| T _{SH} | 采样保持时间 | 内部输出 | | 2 | | μS |

27.9 内部 RC 时钟温度特性

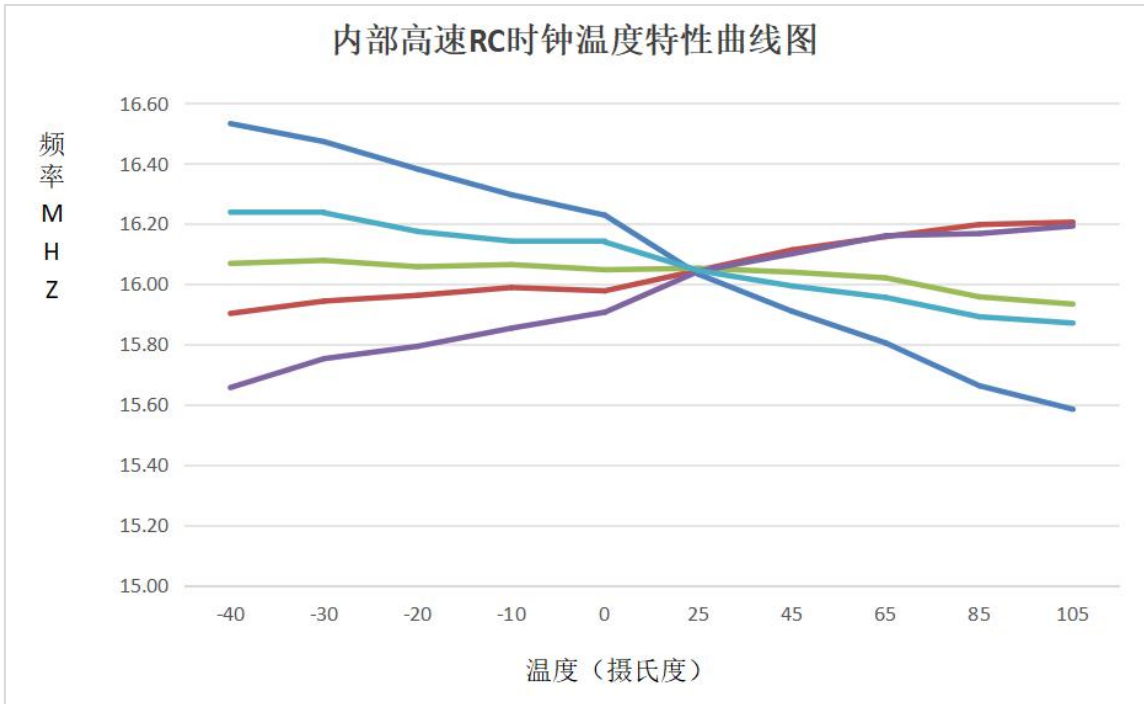
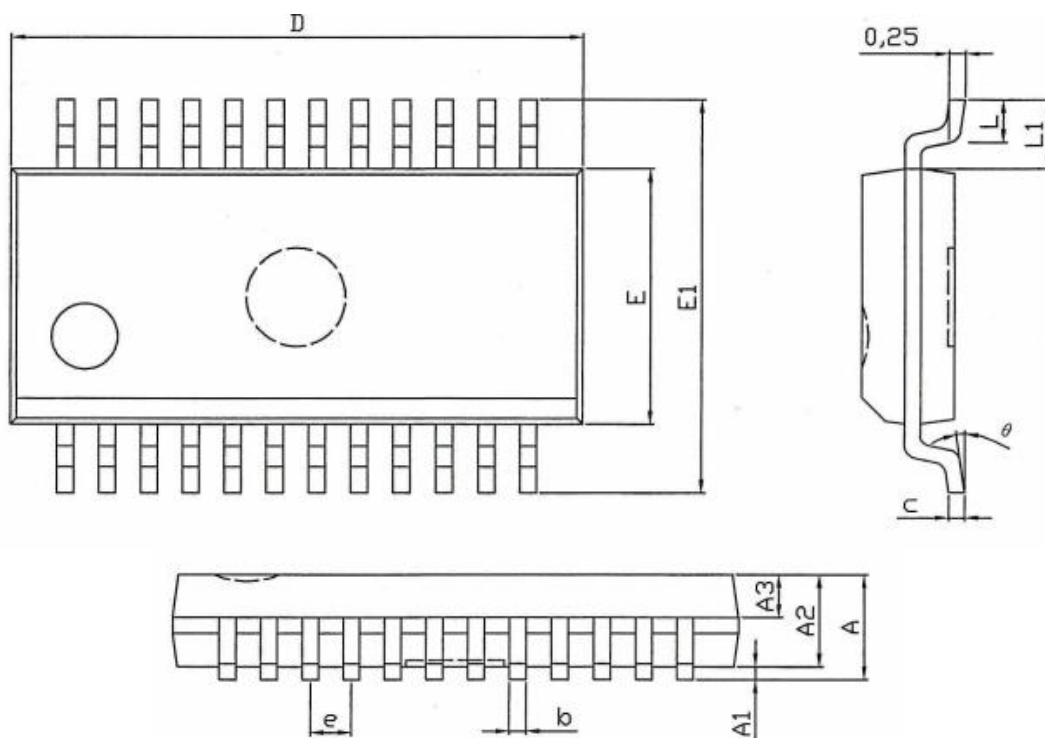


图 27-1 内部 RC 时钟温度特性曲线图

备注：以上图形数据为随机抽取部分芯片实测数据，数据仅供参考。

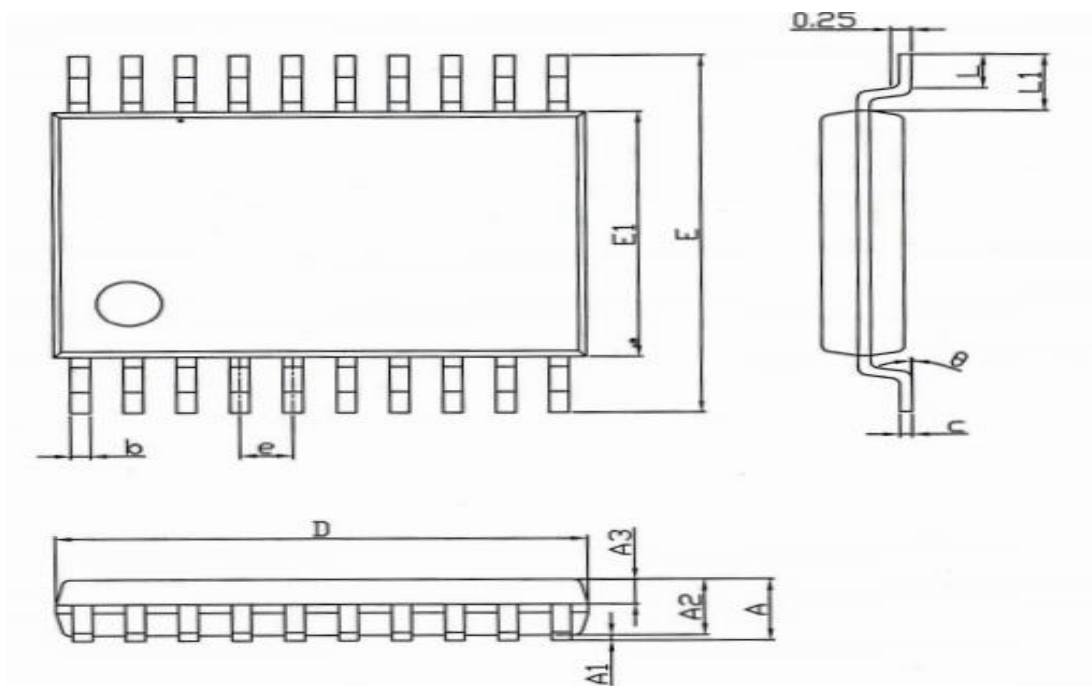
28 封装类型

封装形式： SSOP24



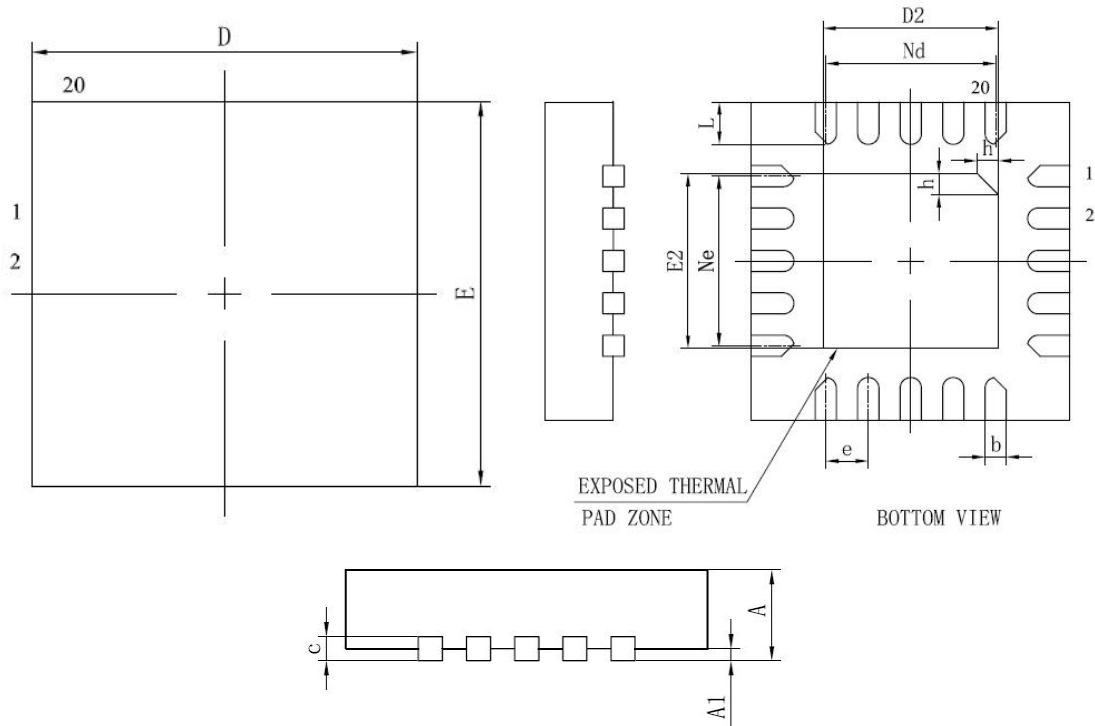
| 序号 | 最小值 (mm) | 标准值 (mm) | 最大值 (mm) |
|----|----------|----------|----------|
| A | 1.35 | - | 1.75 |
| A1 | 0.10 | - | 0.25 |
| A2 | 1.40 | - | 1.50 |
| b | 0.23 | - | 0.30 |
| c | 0.21 | - | 0.26 |
| D | 8.45 | - | 8.85 |
| E | 3.70 | - | 4.10 |
| E1 | 5.80 | - | 6.20 |
| e | 0.61 | - | 0.66 |
| L | 0.50 | - | 0.80 |
| L1 | 0.99 | - | 1.10 |
| θ | 0° | - | 8° |

封装形式: TSSOP20



| 序号 | 最小值 (mm) | 标准值 (mm) | 最大值 (mm) |
|----|----------|----------|----------|
| A | - | - | 1.20 |
| A1 | 0.05 | 0.10 | 0.15 |
| A2 | 0.90 | 1.00 | 1.10 |
| A3 | 0.39 | 0.44 | 0.49 |
| b | 0.21 | 0.24 | 0.27 |
| c | 0.13 | 0.15 | 0.17 |
| D | 6.40 | 6.50 | 6.60 |
| E1 | 4.30 | 4.40 | 4.50 |
| E | 6.25 | 6.40 | 6.55 |
| e | 0.65BSC | | |
| L | 0.50 | 0.60 | 0.70 |
| L1 | 0.95 | 1.00 | 1.05 |
| θ | 0° | - | 8° |

封装形式: QFN20



| 序号 | 最小值(mm) | 标准值(mm) | 最大值(mm) |
|----|---------|---------|---------|
| A | 0.70 | 0.75 | 0.80 |
| A1 | --- | 0.02 | 0.05 |
| b | 0.15 | 0.20 | 0.25 |
| c | 0.18 | 0.20 | 0.25 |
| D | 2.90 | 3.00 | 3.10 |
| D2 | 1.55 | 1.65 | 1.75 |
| e | 0.40BSC | | |
| Ne | 1.60BSC | | |
| Nd | 1.60BSC | | |
| E | 2.90 | 3.00 | 3.10 |
| E2 | 1.55 | 1.65 | 1.75 |
| L | 0.35 | 0.40 | 0.45 |
| h | 0.20 | 0.25 | 0.30 |